

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283606

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 04-081767

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.04.1992

(72)Inventor : ISHII KYOKO

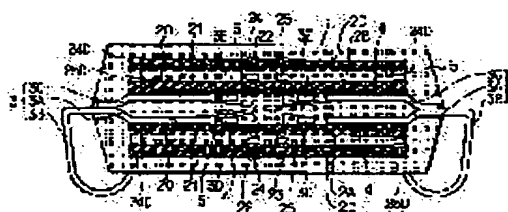
OSHIMA KAZUYOSHI  
KADOZAKI MANABU  
KASAMA YASUHIRO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce a plane occupied area by laminating a first semiconductor pellet and a second semiconductor pellet, in which substantially the same circuit system is mounted on one surface of each pellet.

**CONSTITUTION:** Substantially the same DRAM is mounted on one surface 20 (a surface used for the formation of an element) of each of four semiconductor pellets 2A to 2D. The DRAMs mounted on the surfaces 20 overlap with each other, and are laminated while they remain matched each other in a thickness-wise direction. Likewise, the semiconductor pellets 2C, 2A, 2B and 2D are laminated in that order from the lower side to the upper side. A resin packaged type semiconductor device 1 adopts a bidirectionally arrayed lead structure (a dual-in-line structure) as a lead array structure. Thereby, it is possible to reduce a plane occupied area.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-283606

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 25/065

25/07

25/18

H01L 25/08

B

審査請求 未請求 請求項の数8(全27頁)

(21)出願番号

特願平4-81767

(22)出願日

平成4年(1992)4月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石井 京子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 大嶋 一義

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 角▲ざき▼ 学

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

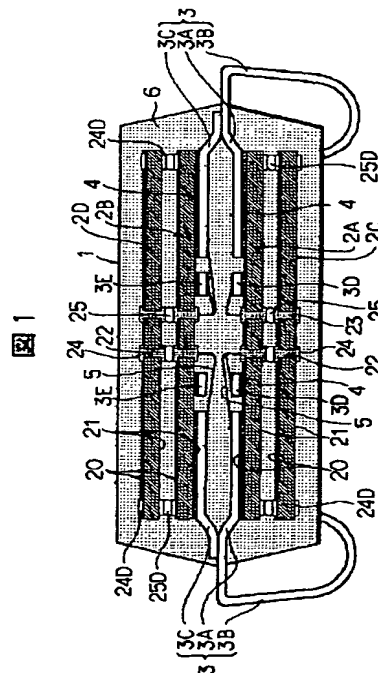
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 同一回路システムを搭載した複数個の半導体ペレット2をその厚さ方向に積層する半導体装置1において、製品価格の低減、小型化、動作性能の向上及びシステムに組込む際の実装密度の向上を図る。

【構成】 半導体装置1において、第1半導体ペレット2A、第2半導体ペレット2Bの夫々が、一表面20、裏面21の夫々を相互に向い合わせ、夫々の厚さ方向を一致した状態で順次積層され、第1半導体ペレット2Aの一表面20に配置される外部端子24(F)、第2半導体ペレット2Bの一表面20から裏面21に通じる接続孔22内に形成された接続孔配線23を通して回路システムに接続される裏面21に配置された外部端子24(UF)の夫々が、第1半導体ペレット2A、第2半導体ペレット2Bの夫々の間に位置するリード3の一端に接続される。



1

## 【特許請求の範囲】

【請求項1】 一表面に回路システムが搭載された半導体ベレットがその厚さ方向に複数個積層され、この複数個積層された半導体ベレットの夫々の一表面に配置される外部端子がリードに電氣的に接続される半導体装置において、以下の構成（A）及び構成（B）を備える。

（A）いずれも実質的に同一回路システムが一表面に搭載される第1半導体ベレット、第2半導体ベレットの夫々を有し、この第1半導体ベレット、第2半導体ベレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ベレットの一表面に第2半導体ベレットの一表面と対向する裏面を向い合わせ、第1半導体ベレット、第2半導体ベレットの夫々の厚さ方向を一致した状態で、順次積層され、

（B）前記第1半導体ベレットの一表面に配置される外部端子、前記第2半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面に配置された外部端子の夫々が、前記第1半導体ベレットの一表面と第2半導体ベレットの裏面との間に位置するリードの一端に電氣的に接続される。

【請求項2】 前記請求項1に記載される半導体装置において、以下の構成（A）及び構成（B）を備える。

（A）前記第1半導体ベレットの一表面と対向する裏面に、前記第1半導体ベレットに搭載された回路システムと実質的に同一回路システムが搭載された一表面を向い合わせて第3半導体ベレットが、夫々の一表面に搭載された夫々の回路システムを重複させ、夫々の厚さ方向を一致した状態で積層されるとともに、前記第2半導体ベレットの一表面に、前記第2半導体ベレットに搭載された回路システムと実質的に同一回路システムが搭載された一表面と対向する裏面を向い合わせて第4半導体ベレットが、夫々の一表面に搭載された夫々の回路システムを重複させ、夫々の厚さ方向を一致した状態で積層され、

（B）前記積層された第1半導体ベレットの一表面に搭載された回路システム、前記第3半導体ベレットの一表面に搭載された回路システムの夫々が、前記第1半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して電氣的に接続されるとともに、前記積層された第2半導体ベレットの一表面に搭載された回路システム、前記第4半導体ベレットの一表面に搭載された回路システムの夫々が、前記第4半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して電氣的に接続される。

【請求項3】 前記請求項1に記載される第2半導体ベレットに搭載される回路システムは少なくとも2個に分割され、この第2半導体ベレットは回路システムが2個に分割された夫々の間において前記接続孔及び接続孔配線が配置される、又は前記請求項2に記載される第1半

2

導体ベレット若しくは第4半導体ベレットに搭載される回路システムは少なくとも2個に分割され、この第1半導体ベレット若しくは第4半導体ベレットは回路システムが2個に分割された夫々の間において前記接続孔及び接続孔配線が配置される。

【請求項4】 前記請求項3に記載される接続孔は第2半導体ベレット又は第1半導体ベレット若しくは第4半導体ベレットの一表面に配置される外部端子と重複する領域に配置され、この外部端子と接続孔内に形成された接続孔配線が前記重複する領域において電氣的に接続される。

【請求項5】 前記請求項4に記載される半導体装置は、第1半導体ベレットの一表面上に絶縁体を介在し延在するリードの一端に第1半導体ベレットの一表面に配置された外部端子が電氣的に接続されるとともに、前記リードの一端又は前記第2半導体ベレットの裏面に絶縁体を介在し延在するリードの一端に第2半導体ベレットの裏面に配置された外部端子が電氣的に接続され、前記第1半導体ベレット及び第2半導体ベレット又は第1半導体ベレット乃至第4半導体ベレット、前記リードの一端側の夫々が封止体で封止される。

【請求項6】 一表面に回路システムが搭載された半導体ベレットがその厚さ方向に複数個積層され、この複数個積層された半導体ベレットの夫々の一表面に配置される複数の外部端子の夫々が複数本のリードの一端の夫々に個々に電氣的に接続される半導体装置において、以下の構成（A）乃至構成（C）を備える。

（A）いずれも実質的に同一回路システムが一表面に搭載される第1半導体ベレット、第2半導体ベレットの夫々を有し、この第1半導体ベレット、第2半導体ベレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ベレットの一表面に第2半導体ベレットの一表面と対向する裏面を向い合わせ、第1半導体ベレット、第2半導体ベレットの夫々の厚さ方向を一致した状態で、順次積層され、

（B）前記第1半導体ベレットの一表面に配置される複数の外部端子のうち一部の複数の信号系外部端子、前記第2半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面に配置された複数の外部端子のうち一部の複数の信号系外部端子の夫々が、前記第1半導体ベレットの一表面若しくは裏面又は第2半導体ベレットの一表面若しくは裏面に絶縁体を介在し、複数本のリードのうち、同一方向に延在する一部の複数の信号系リードの一端の夫々に電氣的に接続され、

（C）前記第1半導体ベレットの一表面に配置された一部の複数の信号系外部端子又は前記第2半導体ベレットの裏面に配置された一部の複数の信号系外部端子の夫々と前記一部の複数の信号系リードの一端の夫々と

3

の間に、前記複数本の信号系リードの延在方向と交差する方向に延在する、複数本のリードのうちの残部の電源系リードが配置され、この電源系リードが、前記第1半導体ペレットの一表面に配置された複数個の外部端子のうちの残部の複数個の電源系外部端子、前記第2半導体ペレットの裏面に配置された複数個の外部端子のうちの残部の複数個の電源系外部端子の夫々に電氣的に接続される。

【請求項7】 一表面に回路システムが搭載された半導体ペレットがその厚さ方向に複数個積層される半導体装置において、以下の構成(A)乃至構成(C)を備える。

(A) いずれも実質的に同一回路システムが一表面に搭載される第1半導体ペレット、第2半導体ペレットの夫々を有し、この第1半導体ペレット、第2半導体ペレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ペレットの一表面に第2半導体ペレットの一表面と対向する裏面を向い合わせ、第1半導体ペレット、第2半導体ペレットの夫々の厚さ方向を一致した状態で、順次積層され、

(B) 前記第1半導体ペレットの一表面の中央領域に配置される外部端子、前記第2半導体ペレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面の中央領域に配置された外部端子の夫々が、半田電極を介して電氣的に接続されるとともに、

(C) 前記第1半導体ペレットの一表面と第2半導体ペレットの裏面との間であって、前記第1半導体ペレットの一表面の周辺領域に、前記半田電極と同一材料で形成され、電氣的な機能を持たず、かつ前記第1半導体ペレット、第2半導体ペレットの夫々を機械的に保持するダミー半田層を設ける。

【請求項8】 半導体ペレットの一表面に配置された複数個の外部端子の夫々に複数本のリードの一端の夫々が電氣的に接続され、前記半導体ペレット及び複数本のリードの一端側の夫々が封止体で封止されるとともに、前記複数本のリードの夫々の他端が前記封止体の一表面から突出しかつこの一表面に配列される半導体装置において、以下の構成(A)及び構成(B)を備える。

(A) 前記複数本のリードのうち、一部の複数本のリードの一端の夫々が、前記半導体ペレットの一表面側に配置されるとともに、この半導体ペレットの一表面に配列された複数個の外部端子のうち一部の複数個の外部端子の夫々を個々に通じて半導体ペレットの一表面に搭載される回路システムに電氣的に接続され、

(B) 前記複数本のリードのうち、残部の複数本のリードの一端が、前記半導体ペレットの一表面と対向する裏面側に配置されるとともに、複数個の外部端子のうち残部の複数個の外部端子の夫々及び前記半導体ペレットの一表面から裏面に通じる接続孔内に形成された接続孔配

4

線を通して、前記半導体ペレットの一表面に搭載された回路システムに電氣的に接続される。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路システムが搭載された半導体ペレットを有する半導体装置に適用して有効な技術に関する。特に、本発明は、いずれも実質的に同一の記憶回路システムが夫々搭載される複数個の半導体ペレットを積層する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 大型高速コンピュータ、パーソナルコンピュータ等のコンピュータシステムは、DRAM (Dynamic Random Access Memory) を記憶素子とする主記憶回路ユニットが組み込まれる。主記憶回路ユニットは一般的に大記憶容量が必要とされ、この主記憶回路ユニットは実装基板(メモリボード)に多数個のDRAMを実装し構成される。

【0003】 DRAMは、その需要が高いため、比較的製造コストが安い樹脂封止型半導体装置で構成される。樹脂封止型半導体装置はその実装形式に基づきSOP (Small Out-line Package) 構造、DIP (Dual In-line Package) 構造、ZIP (Zigzag In-line Package) 構造等のいずれかの構造が採用される。

【0004】 樹脂封止型半導体装置は、一般的に、半導体ペレットの一表面に配列された外部端子(ボンディングパッド)に内部リードの一端が電氣的に接続され、この半導体ペレット及び内部リードが樹脂封止体(レジン)で封止される。半導体ペレットは単結晶珪素で構成され、この半導体ペレットの一表面にDRAM(記憶回路システム)が搭載される。外部リードは、前記内部リードの他端に電氣的に接続され(一体に構成され)、樹脂封止体の外部に配列される。

【0005】 半導体ペレットに搭載されるDRAMの記憶容量が16(Mbit)又はそれ以上に大記憶容量化されると、半導体ペレットの外径サイズが大型化し、樹脂封止体に占める半導体ペレットの割合が大きくなる。樹脂封止型半導体装置の外径サイズは標準規格に基づき決定され、樹脂封止型半導体装置の外径サイズの大型化の割合に対して半導体ペレットの外径サイズの大型化の割合は大きい。つまり、樹脂封止型半導体装置は、樹脂封止体の半導体ペレットの外周囲に内部リードの引き回し領域を確保できなくなり、半導体ペレットの一表面上に内部リードを引き回すLOC (Lead On Chip) 構造の採用が必須となる傾向にある。

【0006】 特願昭62-155478号に、前述の主記憶回路ユニットの実装密度の向上に(記憶容量の増加に)好適な半導体装置の構造が提案されている。この半導体装置は一表面を互に向い合わせて2個の半導体ペレットが積層される(重ね合わされる)。2個の半導体

5

ベレットのうち、一方の半導体ベレットの外部端子は、他方の半導体ベレットの外部端子に対してミラー反転形状で構成される。両方の半導体ベレットの外部端子は2個の半導体ベレットの間に配置される内部リードの一端に電氣的に接続される。この内部リードは一方、他方の夫々の半導体ベレットに共通の内部リードとして共用される。つまり、2個の半導体ベレットの夫々で使用される同一信号が伝達されるリードを相互に共用し、リードの配列本数を少なくできるので、半導体装置は全体の外径サイズを縮小できる。すなわち、前述のように、半導体装置の実装密度を向上できる特徴がある。

【0007】

【発明が解決しようとする課題】しかしながら、本発明者は、前述の半導体装置において、以下の問題点を見出した。

【0008】前記半導体装置は、2個の半導体ベレットに搭載される外部端子を相互にミラー反転形状で構成するので、2種類の半導体ベレットの設計開発を行い、この2種類の半導体ベレットの製造が行われる。このため、設計開発から製造が終了し製品化されるまでに要する総合的な開発期間が長くなる。

【0009】また、設計開発費用、製造費用のいずれも増大し、半導体装置の最終的な製品価格が増大する。

【0010】本発明の目的は、以下のとおりである。

(1) 複数の半導体ベレットをその厚さ方向に積層する半導体装置において、製品価格を低減し、小型化を図るとともに、動作性能を向上する。

(2) 前記目的(1)を達成し、前記半導体装置をシステムに組込む際の実装密度を向上する。

(3) 前記目的(1)の半導体装置において、回路動作速度の高速化を図る。

(4) 前記目的(1)の半導体装置において、回路動作上の信頼性を向上する。

(5) 複数の半導体ベレットをその厚さ方向に積層する半導体装置において、複数の積層された半導体ベレットの機械的な安定性の向上を図り、併せて積層された半導体ベレットの相互間の電氣的な接続の信頼性の向上を図る。

(6) Z I P構造を採用する半導体装置において、前記目的(1)乃至目的(5)のいずれかを達成する。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0013】(1) 一表面に回路システムが搭載された半導体ベレットがその厚さ方向に複数の積層され、この複数の積層された半導体ベレットの夫々の一表面に配置

6

される外部端子がリードに電氣的に接続される半導体装置において、以下の構成(A)及び構成(B)を備える。(A) いずれも実質的に同一回路システムが一表面に搭載される第1半導体ベレット、第2半導体ベレットの夫々を有し、この第1半導体ベレット、第2半導体ベレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ベレットの一表面に第2半導体ベレットの一表面と対向する裏面を向い合わせ、第1半導体ベレット、第2半導体ベレットの夫々の厚さ方向を一致した状態で、順次積層され、(B) 前記第1半導体ベレットの一表面に配置される外部端子、前記第2半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面に配置された外部端子の夫々が、前記第1半導体ベレットの一表面と第2半導体ベレットの裏面との間に位置するリードの一端に電氣的に接続される。

【0014】(2) 前記手段(1)に記載される半導体装置において、以下の構成(A)及び構成(B)を備える。(A) 前記第1半導体ベレットの一表面と対向する裏面に、前記第1半導体ベレットに搭載された回路システムと実質的に同一回路システムが搭載された一表面を向い合わせて第3半導体ベレットが、夫々の一表面に搭載された夫々の回路システムを重複させ、夫々の厚さ方向を一致した状態で積層されるとともに、前記第2半導体ベレットの一表面に、前記第2半導体ベレットに搭載された回路システムと実質的に同一回路システムが搭載された一表面と対向する裏面を向い合わせて第4半導体ベレットが、夫々の一表面に搭載された夫々の回路システムを重複させ、夫々の厚さ方向を一致した状態で積層され、(B) 前記積層された第1半導体ベレットの一表面に搭載された回路システム、前記第3半導体ベレットの一表面に搭載された回路システムの夫々が、前記第1半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して電氣的に接続されるとともに、前記積層された第2半導体ベレットの一表面に搭載された回路システム、前記第4半導体ベレットの一表面に搭載された回路システムの夫々が、前記第4半導体ベレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して電氣的に接続される。

【0015】(3) 前記手段(1)に記載される第2半導体ベレットに搭載される回路システムは少なくとも2個に分割され、この第2半導体ベレットは回路システムが2個に分割された夫々の間において前記接続孔及び接続孔配線が配置される、又は前記手段(2)に記載される第1半導体ベレット若しくは第4半導体ベレットに搭載される回路システムは少なくとも2個に分割され、この第1半導体ベレット若しくは第4半導体ベレットは回路システムが2個に分割された夫々の間において前記接続孔及び接続孔配線が配置される。

7

【0016】(4) 前記手段(3)に記載される接続孔は第2半導体ペレット又は第1半導体ペレット若しくは第4半導体ペレットの一表面に配置される外部端子と重複する領域に配置され、この外部端子と接続孔内に形成された接続孔配線が前記重複する領域において電氣的に接続される。

【0017】(5) 前記手段(4)に記載される半導体装置は、第1半導体ペレットの一表面上に絶縁体を介し延在するリードの一端に第1半導体ペレットの一表面に配置された外部端子が電氣的に接続されるとともに、前記リードの一端又は前記第2半導体ペレットの裏面に絶縁体を介し延在するリードの一端に第2半導体ペレットの裏面に配置された外部端子が電氣的に接続され、前記第1半導体ペレット及び第2半導体ペレット又は第1半導体ペレット乃至第4半導体ペレット、前記リードの一端側の夫々が封止体で封止される。

【0018】(6) 一表面に回路システムが搭載された半導体ペレットがその厚さ方向に複数個積層され、この複数個積層された半導体ペレットの夫々の一表面に配置される複数個の外部端子の夫々が複数本のリードの一端の夫々に個々に電氣的に接続される半導体装置において、以下の構成(A)乃至構成(C)を備える。(A) いずれも実質的に同一回路システムが一表面に搭載される第1半導体ペレット、第2半導体ペレットの夫々を有し、この第1半導体ペレット、第2半導体ペレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ペレットの一表面に第2半導体ペレットの一表面と対向する裏面を向い合わせ、第1半導体ペレット、第2半導体ペレットの夫々の厚さ方向を一致した状態で、順次積層され、(B) 前記第1半導体ペレットの一表面に配置される複数個の外部端子のうち一部の複数個の信号系外部端子、前記第2半導体ペレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面に配置された複数個の外部端子のうち一部の複数個の信号系外部端子の夫々が、前記第1半導体ペレットの一表面若しくは裏面又は第2半導体ペレットの一表面若しくは裏面に絶縁体を介し、複数本のリードのうち、同一方向に延在する一部の複数本の信号系リードの一端の夫々に電氣的に接続され、(C) 前記第1半導体ペレットの一表面に配置された一部の複数個の信号系外部端子又は前記第2半導体ペレットの裏面に配置された一部の複数個の信号系外部端子の夫々と前記一部の複数本の信号系リードの一端の夫々との間に、前記複数本の信号系リードの延在方向と交差する方向に延在する、複数本のリードのうちの残部の電源系リードが配置され、この電源系リードが、前記第1半導体ペレットの一表面に配置された複数個の外部端子のうちの残部の複数個の電源系外部端子、前記第2半導体ペレットの裏面に配置された複数個の外部端子のうちの残部の複数個の電源系

8

外部端子の夫々に電氣的に接続される。

【0019】(7) 一表面に回路システムが搭載された半導体ペレットがその厚さ方向に複数個積層される半導体装置において、以下の構成(A)乃至構成(C)を備える。(A) いずれも実質的に同一回路システムが一表面に搭載される第1半導体ペレット、第2半導体ペレットの夫々を有し、この第1半導体ペレット、第2半導体ペレットの夫々が、夫々の一表面に搭載された夫々の回路システムを重複させ、第1半導体ペレットの一表面に第2半導体ペレットの一表面と対向する裏面を向い合わせ、第1半導体ペレット、第2半導体ペレットの夫々の厚さ方向を一致した状態で、順次積層され、(B) 前記第1半導体ペレットの一表面の中央領域に配置される外部端子、前記第2半導体ペレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して一表面に搭載された回路システムに接続される裏面の中央領域に配置された外部端子の夫々が、半田電極を介して電氣的に接続されるとともに、(C) 前記第1半導体ペレットの一表面と第2半導体ペレットの裏面との間であって、前記第1半導体ペレットの一表面の周辺領域に、前記半田電極と同一材料で形成され、電氣的な機能を持たず、かつ前記第1半導体ペレット、第2半導体ペレットの夫々を機械的に保持する(補強する)ダミー半田層を設ける。

【0020】(8) 半導体ペレットの一表面に配置された複数個の外部端子の夫々に複数本のリードの一端の夫々が電氣的に接続され、前記半導体ペレット及び複数本のリードの一端側の夫々が封止体で封止されるとともに、前記複数本のリードの夫々の他端が前記封止体の一表面から突出しかつこの一表面に配列される半導体装置において、以下の構成(A)及び構成(B)を備える。

(A) 前記複数本のリードのうち、一部の複数本のリードの一端の夫々が、前記半導体ペレットの一表面側に配置されるとともに、この半導体ペレットの一表面に配列された複数個の外部端子のうち一部の複数個の外部端子の夫々を個々に通して半導体ペレットの一表面に搭載される回路システムに電氣的に接続され、(B) 前記複数本のリードのうち、残部の複数本のリードの一端が、前記半導体ペレットの一表面と対向する裏面側に配置されるとともに、複数個の外部端子のうち残部の複数個の外部端子の夫々及び前記半導体ペレットの一表面から裏面に通じる接続孔内に形成された接続孔配線を通して、前記半導体ペレットの一表面に搭載された回路システムに電氣的に接続される。

【0021】

【作用】上述した手段(1)によれば、以下の作用効果が得られる。

(A) 前記第1半導体ペレット、第2半導体ペレットの夫々を積層し、夫々の占有面積を重複できるので、平面的な占有面積を縮小でき、半導体装置の小型化が図れ

る。この半導体装置の小型化は配線基板等に実装する際の実装密度が向上できる。

(B) 前記第1半導体ペレットの回路システムが搭載された一表面に裏面を向い合わせて第2半導体ペレットを積層し、実質的に同一回路システムが搭載された第1半導体ペレット、第2半導体ペレットの夫々を積層できる

(相互に回路システムがミラー反転された2種類の半導体ペレットを用意する必要がない)ので、半導体ペレットの設計開発から製造が終了し半導体装置として製品化されるまでに要する総合的な開発期間が短縮できる。また、1種類の回路システムの設計開発を行えばよいので、半導体装置の設計開発コスト、製造コストのいずれも低減できる。

(C) 前記第1半導体ペレットの一表面に搭載された回路システム、第2半導体ペレットの一表面に搭載された回路システムの夫々が第2半導体ペレットの占有面積内

(主に、回路システムが配置されない空領域又は外部端子の配列領域)において形成された接続孔及び接続孔配線を通して電気的に接続され、第2半導体ペレットの占有面積に前記接続孔及び接続孔配線を形成する領域の占有面積を重複できるので、この接続孔及び接続孔配線を形成する領域に相当する分(第1半導体ペレット、第2半導体ペレットの夫々の回路システムの間を電気的に接続する領域を他に確保する分)、第2半導体ペレットのサイズを縮小でき、半導体装置の小型化が図れる。この半導体装置の小型化は配線基板に実装する際の実装密度が向上できる。

(D) 前記第1半導体ペレットの一表面に搭載された回路システム、第2半導体ペレットの一表面に搭載された回路システムの夫々が前記第1半導体ペレットの一表面と第2半導体ペレットの裏面との間に位置するリードに電気的に接続され、しかも第2半導体ペレットの接続孔配線は前記第2半導体ペレットの厚さに相当する極めて短い配線長で形成されるので、リードと第1半導体ペレットに搭載された回路システム、第2半導体ペレットに搭載された回路システムの夫々との間の配線長を均一化でき、短縮できる。つまり、リードと第1半導体ペレットに搭載された回路システム、第2半導体ペレットに搭載された回路システムの夫々との配線長が短縮されると、信号系配線の場合、信号伝達速度を速くでき、第1

半導体ペレット、第2半導体ペレットの夫々に搭載された回路システムの回路動作速度の高速化が図れ、半導体装置の動作速度の高速化が図れる。また、電源系配線の場合、電源の揺れ(ノイズ)が発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、第1半導体ペレット、第2半導体ペレットの夫々に搭載される回路システムの回路動作上の信頼性を向上できる。また、電源の揺れを低減できるので、連続した回路動作間の待機時間を短縮し、第1半導体ペレット、第2半導体ペレットの夫々に搭載される回路システムの回路動作速

度の高速化が図れる。

【0022】上述した手段(2)によれば、前記作用効果(1)の他に、以下の作用効果が得られる。

(A) 前記第1半導体ペレットの一表面に搭載された回路システム、第3半導体ペレットの一表面に搭載された回路システムの夫々が第1半導体ペレットの占有面積内において形成された接続孔及び接続孔配線を通して電気的に接続され、第1半導体ペレットの占有面積に前記接続孔及び接続孔配線を形成する領域の占有面積を重複できるとともに、前記第2半導体ペレットの一表面に搭載された回路システム、第4半導体ペレットの一表面に搭載された回路システムの夫々が第4半導体ペレットの占有面積内において形成された接続孔及び接続孔配線を通して電気的に接続され、第4半導体ペレットの占有面積に前記接続孔及び接続孔配線を形成する領域の占有面積を重複できるので、これらの接続孔及び接続孔配線を形成する領域に相当する分、第1半導体ペレット及び第4半導体ペレットのサイズを縮小でき、半導体装置の小型化が図れる。

(B) 前記第1半導体ペレットの一表面に搭載された回路システム、第3半導体ペレットの一表面に搭載された回路システムの夫々が前記第1半導体ペレットの厚さに相当する極めて短い配線長で結線されるとともに、前記第2半導体ペレットの一表面に搭載された回路システム、第4半導体ペレットの一表面に搭載された回路システムの夫々が前記第4半導体ペレットの厚さに相当する極めて短い配線長で結線され、リードと第3半導体ペレットに搭載された回路システム、第4半導体ペレットに搭載された回路システムの夫々との間の配線長を均一化でき、短縮できる(つまり、リードから第1半導体ペレット乃至第4半導体ペレットの夫々に搭載される夫々の回路システムまでの配線長を均一化でき、短縮できる)。この結果、半導体装置の回路動作速度の高速化が図れ、又、半導体装置の回路動作上の信頼性を向上できる。

【0023】上述した手段(3)によれば、前記作用効果(1)の他に、前記第2半導体ペレットに搭載される回路システムの2個に分割されたうちの一方と接続孔配線とを接続する配線、他方と接続孔配線とを接続する配線の夫々の配線長を均一化ししかも短縮でき、回路システムの動作速度を律則し遅延させる配線長の長い配線を低減できる。この結果、前記配線長が均一化された配線が信号系配線の場合、配線の信号伝達速度を速くできるので、第2半導体ペレットに搭載された回路システムの回路動作速度の高速化が図れ、半導体装置の動作速度の高速化が図れる。配線が電源系配線の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、第2半導体ペレットの夫々に搭載される回路システムの回路動作上の信頼性を向上できる。さらに、配線が電源系配線の場合、連続した回路動作間



11

の待機時間を短縮し、第2半導体ペレットに搭載される回路システムの回路動作速度の高速化が図れるので、半導体装置の動作速度の高速化が図れる。

【0024】また、前記作用効果(2)の他に、前記第1半導体ペレット若しくは第4半導体ペレットに搭載される回路システムの2個に分割されたうちの一方と接続孔配線とを接続する配線、他方と接続孔配線とを接続する配線の夫々の配線長を均一化ししかも短縮でき、回路システムの動作速度を律則し遅延させる配線長の長い配線を低減できる。この結果、前記配線長が均一化された配線が信号系配線の場合、配線の信号伝達速度を速くできるので、第1半導体ペレット若しくは第4半導体ペレットに搭載された回路システムの回路動作速度の高速化が図れ、半導体装置の動作速度の高速化が図れる。配線が電源系配線の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、第1半導体ペレット若しくは第4半導体ペレットの夫々に搭載される回路システムの回路動作上の信頼性を向上できる。さらに、配線が電源系配線の場合、連続した回路動作間の待機時間を短縮し、第1半導体ペレット若しくは第4半導体ペレットに搭載される回路システムの回路動作速度の高速化が図れるので、半導体装置の動作速度の高速化が図れる。

【0025】上述した手段(4)によれば、前記作用効果(3)の他に、以下の作用効果が得られる。

(A) 前記第2半導体ペレット又は第1半導体ペレット若しくは第4半導体ペレットの一表面に配置される外部端子、接続孔配線の夫々を結線する配線長を短縮でき

(実質的に結線領域を廃止で)、信号系外部端子の場合、信号伝達速度を速くできるので、回路システムの回路動作速度の高速化が図れ、半導体装置の動作速度の高速化が図れる。また、電源系外部端子の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、回路システムの回路動作上の信頼性を向上できる。また、電源系外部端子の場合、連続した回路動作間の待機時間を短縮し、回路システムの回路動作速度の高速化が図れるので、半導体装置の動作速度の高速化が図れる。

(B) 前記第2半導体ペレット又は第1半導体ペレット若しくは第4半導体ペレットの一表面に配置される外部端子の占有面積に接続孔及び接続孔配線の占有面積を重複し、接続孔及び接続孔配線を配置する領域に相当する分、第2半導体ペレット又は第1半導体ペレット若しくは第4半導体ペレットのサイズを縮小できるので、半導体装置の小型化が図れる。

【0026】上述した手段(5)によれば、前記作用効果(4)の他に、以下の作用効果が得られる。

(A) 前記第1半導体ペレット又は第2半導体ペレットの占有面積内にリードの一端側つまりリードの内部リードを延在し、前記第1半導体ペレット又は第2半導体ペ

12

レットの外周囲において内部リードの引き伸しを減少できるので、内部リードの引き伸しの減少に相当する分、封止体の占有面積を縮小し、半導体装置の小型化が図れる。

【0027】(B) 前記作用効果(A)に基づき、前記内部リードのリード長を縮小でき、信号系リードの場合、信号伝達速度を速くできるので、第1半導体ペレット又は第2半導体ペレットに搭載された回路システムの回路動作速度の高速化が図れ、半導体装置の動作速度の高速化が図れる。また、電源系リードの場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、第1半導体ペレット若しくは第2半導体ペレットに搭載される回路システムの回路動作上の信頼性を向上でき、半導体装置の動作信頼性を向上できる。また、電源系リードの場合、連続した回路動作間の待機時間を短縮し、第1半導体ペレット若しくは第2半導体ペレットに搭載される回路システムの回路動作速度の高速化が図れるので、半導体装置の動作速度の高速化が図れる。上述した手段(6)によれば、前記作用効果(1)の作用効果(A)乃至作用効果(C)の他に、前記第1半導体ペレットの一表面に配置される複数の電源系外部端子又は前記第2半導体ペレットの裏面に配置される複数の電源系外部端子の夫々の配列方向に沿って電源系リードが配置され、この電源系リードといずれかの電源系外部端子の夫々との間においても最短距離で電気的な接続が行えるので、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、第1半導体ペレット、第2半導体ペレットの夫々に搭載される回路システムの回路動作上の信頼性を向上できる。また、電源の揺れを低減できるので、連続した回路動作間の待機時間を短縮し、第1半導体ペレット、第2半導体ペレットの夫々に搭載される回路システムの回路動作速度の高速化が図れる。

【0028】上述した手段(7)によれば、前記作用効果(1)の作用効果(A)乃至作用効果(C)の他に、以下の作用効果が得られる。前記第1半導体ペレットと第2半導体ペレットとの間に機械的な安定性を確保でき、第1半導体ペレットの一表面の中央領域に配置される外部端子、第2半導体ペレットの裏面の中央領域に配置される外部端子の夫々の電気的な接続部分にその電気的な接続部分を中心とするモーメント等の外力の発生を低減できるので、前記電気的な接続部分の損傷や破壊を防止し、半導体装置の電気的信頼性や機械的信頼性を向上できる。

【0029】上述した手段(8)によれば、以下の作用効果が得られる。

(A) 前記封止体の内部において、複数本のリードのうち、一部の複数本のリードの夫々の配置位置に対して残部の複数本のリードの夫々の配置位置を異なる平面とし、前者に対して後者を重複した状態で引き回わせるの

で、前者又は後者のいずれかの本数のリードの引き回しが減少でき、このリードの引き回しを減少した分、封止体のサイズが縮小され、半導体装置の小型化が図れる。この半導体装置の小型化は、配線基板に実装する際に実装密度を向上できる。

(B) 前記作用効果(A)に基づき、前記リードの引き回し長さを全体的に短くでき、信号系リードの場合、信号伝達速度を速くできるので、半導体ベレットに搭載される回路システムの回路動作速度を速くし、半導体装置の動作速度の高速化が図れる。電源系リードの場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ベレットに搭載される回路システムの回路動作上の信頼性を向上し、半導体装置の動作信頼性を向上できる。また、電源系リードの場合、連続した回路動作間の待機時間を短縮し、半導体ベレットに搭載される回路システムの回路動作速度の高速化が図れるので、半導体装置の動作速度の高速化が図れる。以下、本発明の構成について、一表面にDRAMが搭載された半導体ベレットを複数個積層する樹脂封止型半導体装置に本発明を適用した実施例とともに説明する。

【0030】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 【0031】

【実施例】(実施例1) 本実施例1は、DRAMが搭載された半導体ベレットを複数個積層したSOJ (Small Out-line J-bend Package) 構造を採用する樹脂封止型半導体装置に本発明を適用した、本発明の第1実施例である。

【0032】本発明の実施例1であるSOJ構造を採用する樹脂封止型半導体装置の基本構造を図1(要部断面図)に示す。

【0033】図1に示すように、本実施例1のSOJ構造を採用する樹脂封止型半導体装置1は4個の半導体ベレット2A乃至2Dが樹脂封止体6で封止される。4個の半導体ベレット2A乃至2Dの夫々の一表面(素子形成面)20にはいずれも実質的に同一のDRAMが搭載される。本実施例1においてはこれに限定されないが、半導体ベレット2A乃至2Dの夫々は夫々16 [Mbit] × 16 [bit] 構成のDRAMが搭載される。つまり、本実施例1の樹脂封止型半導体装置1は、4個の半導体ベレット2A乃至2Dを有するので、合計64 [Mbit] × 16 [bit] 構成のDRAMが搭載される。

【0034】前記樹脂封止型半導体装置1の半導体ベレット2A乃至2Dの夫々は、夫々の一表面20に搭載されたDRAMが相互に重複し、夫々の厚さ方向が一致する状態で積層される。つまり、4個の半導体ベレット2A乃至2Dの夫々は、実質的に実装面(例えば、配線基板の表面)の同一領域において、高さ方向に積み重ねら

れる。

【0035】前記半導体ベレット2A乃至2Dの夫々は、夫々の一表面20が図1中上方に位置し(図1中、一表面20は太い実線で表示する)、夫々の一表面20と対向する裏面21が図1中下方に位置する。すなわち、半導体ベレット2A乃至2Dの夫々は、夫々同一方向に一表面20が位置し、夫々実質的に同一のDRAMが搭載された1種類で構成される。つまり、本実施例1の樹脂封止型半導体装置1は相互にミラー反転されたDRAMで形成される2種類の半導体ベレット2を必要としない。

【0036】半導体ベレット2A乃至2Dのうち、半導体ベレット2A、2Bの夫々は、半導体ベレット2Aの一表面20と半導体ベレット2Bの裏面21とを向い合わせ、半導体ベレット2Aを下側、半導体ベレット2Bを上側として積層される。半導体ベレット2Cは、その一表面20と半導体ベレット2Aの裏面21とを向い合わせ、半導体ベレット2Cを下側、半導体ベレット2Aを上側として積層される。半導体ベレット2Dは、その裏面21と半導体ベレット2Bの一表面20とを向い合わせ、半導体ベレット2Bを下側、半導体ベレット2Dを上側として積層される。つまり、樹脂封止型半導体装置1は、図1中、下側から上側に向って、半導体ベレット2C、2A、2B、2Dの夫々が順次積層される。

【0037】前記図1及び図2(封止体の一部を取り除いた平面図)に示すように、前記半導体ベレット2Aの一表面20には複数の外部端子24(F:一表面20に配置された外部端子を表示する)が配置される。半導体ベレット2A以外の他の半導体ベレット2B乃至2Dの夫々は、図示しないが、半導体ベレット2Aと実質的に同一構造で構成される。半導体ベレット2Aは、図2(A)(半導体ベレットの一表面側を示す平面図)に示すように、平面形状が長方形で形成され、外部端子24(F)は、半導体ベレット2Aの短辺と一致する方向においてほぼ中央領域に配置され、長辺に沿って複数個配列される。本実施例1の樹脂封止型半導体装置1は、これに限定されないが、長辺に沿って2列に外部端子24が配列される。

【0038】前記半導体ベレット2Aの一表面20に配置された複数の外部端子24(F)のうち、信号が入力若しくは出力される信号系外部端子24Sは、信号系内部リード3Aの一端に電気的に接続される。信号としては、アドレス系信号、入力情報系信号若しくは出力情報系信号、回路動作制御系信号等が使用される。信号系内部リード3Aは半導体ベレット2Aの対向する2個の長辺の夫々にこの長辺に沿って2列に所定間隔で複数本配列される。複数本の信号系内部リード3Aの夫々の一端側は、大半が半導体ベレット2Aの長辺と交差し、半導体ベレット2Aの外周囲から中央領域まで、半導体ベレット2Aの一表面20上を延在する。

15

【0039】半導体ペレット2Aの一表面20（詳細には、図5に示す最上層の表面被覆膜237）とその上に延在する信号系内部リード3Aとの間には絶縁体4が構成される。絶縁体4は、例えばポリイミド系樹脂、エポキシ系樹脂等、絶縁性を有する樹脂を主体に構成され、表面層に接着層を備えたものが使用される。

【0040】前記半導体ペレット2Aの一表面20に配置された複数の外部端子24（F）のうち、電源が供給される電源系外部端子24Vは、電源系内部リード

（バスバー配線とも呼ばれる）3Eに電氣的に接続される。電源としては、半導体ペレット2Aに搭載されたDRAMの回路動作電源となる電源Vcc例えば5

〔V〕、回路動作上接地電源となる電源Vss例えば0

〔V〕の夫々が使用される。電源系内部リード3Eは、電源Vccの供給及び電源Vssの供給を目的として、2本配置され、いずれも半導体ペレット2Aの一表面20上に配置される。電源Vccが供給される電源系内部

リード3Eは、図2（A）中、半導体ペレット2Aの下方の長辺と交差する複数本の信号系内部リード3Aの一端の夫々と2列に複数個配列された外部端子24のうちの下列に配列された複数の外部端子24との間に配置される。電源系内部リード3Eは、信号系内部リード3Aの配列方向、外部端子24の配列方向の夫々に一致する方向（図2（A）中、横方向）に延在する。同様に、電源Vssが供給される電源系内部リード3Eは、図2（A）中、半導体ペレット2Aの上方の長辺と交差する複数本の信号系内部リード3Aの一端の夫々と2列に複数個配列された外部端子24のうちの上列に配列された複数の外部端子24との間に配置される。電源系内部

リード3Eは、信号系内部リード3Aの配列方向、外部端子24の配列方向の夫々に一致する方向、つまり電源Vccが供給される電源系内部リード3Eに平行に延在する。

【0041】前記複数本の信号系内部リード3Aの一端の夫々には夫々信号系外部リード3Bの一端が電氣的に接続されかつ一体に構成される。同様に、電源系内部リード3Eの両端の夫々には夫々電源系外部リード3Bの一端が電氣的に接続されかつ一体に構成される。これらの信号系外部リード3Bの他端側、電源系外部リード3Bの他端側の夫々は、図2（A）に示すように、平面形状が長方形で構成される樹脂封止体6の2個の対向する長辺の夫々に突出し、夫々の長辺に沿って配列され、J型形状に成型される。

【0042】つまり、本実施例1のSOJ構造を採用する樹脂封止型半導体装置1は、リード配列構造として2方向リード配列構造（デュアルインライン構造）が採用され、一部分に樹脂封止体6の内部構造として半導体ペレット2Aの一表面20上に内部リード3Aを配置するLOC構造が採用される。

【0043】前記樹脂封止型半導体装置1の外部リード

16

3Bは、標準規格に基づき、各端子に番号が付され、夫々に伝達される信号や供給される電源が規定される。前述のように、内部リード3A、3Eの夫々は外部リード3Bと一体に成型されるので、内部リード3A、3Eの夫々に伝達される信号や電源は外部リード3Bに伝達される信号や電源と同様である。

【0044】これに限定されないが、本実施例1の樹脂封止型半導体装置1は、図2（A）に示すように、合計42本（42ピン）の外部リード3Bが配列される。信号系外部リード3Bは、アドレス系信号A0～A11、入力情報系信号若しくは出力情報系信号D0～D15、カラムアドレスストロブ信号CE0～CE3、ロウアドレスストロブ信号REB、ライトイネーブル信号WB、基板電位発生信号GBのいずれかが伝達される。本実施例1の樹脂封止型半導体装置1は4個の半導体ペレット2A乃至2Dを備えているので、4つのカラムアドレスストロブ信号CE0～CE3は4個の半導体ペレット2A乃至2Dのうちの1個を選択する（DRAMを動作状態とする）セレクト信号としても使用される。図2（A）中、信号系外部リード3Bに付けた符号NCはノンコネクタピンつまり空端子である。また、電源系外部リード3Bは、一方に電源Vccが、他方に電源Vssが夫々供給される。

【0045】前記内部リード3A（3Eも含む）及び外部リード3Bは、樹脂封止型半導体装置1の組立プロセスにおいて、リードフレームから切断されかつ成型されることにより形成される。前記リードフレームは一枚の板状材料で構成され、このリードフレームは、プレス技術に基づく打抜き加工又はエッチング技術に基づくエッチング加工により、内部リード3A、外部リード3B等の形状が形成される。

【0046】前記リードフレームは、電気伝導性、熱伝導性、機械的強度等に優れた例えば鉄-ニッケル（Fe-Ni）合金（例えばNiの含有量は42又は50

〔%〕）で形成される。このリードフレームは例えば100～200〔μm〕の板厚で形成される。これに限定されないが、リードフレームのうち、内部リード3Aの一端の表面つまりボンディング領域には、ボンダビリティの向上等を目的として例えば図示しないが銀（Ag）メッキ層が構成される。なお、リードフレームは、前記Fe-Ni合金の他に、それに比べて電気伝導性、熱伝導性等に優れたCu又はCu系合金で形成してもよい。

【0047】前記半導体ペレット2Aの複数の信号系外部端子24Sの夫々と信号系内部リード3Aの一端の夫々との間の接続は個々にワイヤ5を通して電氣的に接続される。同様に、半導体ペレット2Aの複数の電源系外部端子24Vの夫々と電源系内部リード3Eとの間は個々にワイヤ5を通して電氣的に接続される。ワイヤ5は、例えばAuワイヤが使用され、このボンディング方法に限定はされないが、熱圧着に超音波振動を併用し

17

たボール・ボンディング法でボンディングされる。ボール・ボンディング法は、ワイヤ5の半導体ベレット2Aの外部端子24にボンディングされる一端にボールを形成するボンディング方法であり、ボンダビリティが向上できる。なお、ワイヤ5は、Auワイヤに変えて、Cuワイヤ、Alワイヤ、金属性ワイヤの表面に絶縁性被膜を形成した所謂被覆ワイヤ等を使用してもよい。

【0048】前記半導体ベレット2Aは図3（DRAMの平面レイアウト図）に示すように一表面20に16

【Mbit】の大記憶容量を有するDRAMが搭載される（他の半導体ベレット2B乃至2Dについては同様の構成なので説明は省略する）。

【0049】図3に示す半導体ベレット2Aの一表面20に搭載されたDRAMはフォールドビットライン方式（2交点方式）で構成される。DRAMは半導体ベレット2Aの一表面20のほぼ全面にメモリセルアレイ（メモリセルマトリクス）201を配置する。このメモリセルアレイ201は64個に細分化され配置される。細分化された1つのメモリセルアレイ201は256【Kbit】の容量で構成される。前記64個に細分化されたメモリセルアレイ201は、図3中、半導体ベレット2Aの左上の16個、右上の16個、左下の16個、右下の16個を夫々1つのブロックとし、16個毎に集結された合計4個のブロックを構成する。

【0050】前記64個に細分化されたメモリセルアレイ201のうち、図2（A）中、横方向において（Y方向において）隣接する2個のメモリセルアレイ201間にはセンスアンプ回路202が配置される。また、64個に細分化されたメモリセルアレイ201の夫々の半導体ベレット2Aの中央領域側には直接系周辺回路であるロウアドレスデコード回路（XDEC）205及びワードドライバ回路204が配置される。

【0051】前記4個のブロックのうち、左上、右上の夫々のブロック間には直接系周辺回路及び間接系周辺回路が配置される。直接系周辺回路としてはカラムアドレスデコード回路（YDEC）203が配置される。間接系周辺回路としてはREB系回路209、WB系回路210、出力バッファ系回路211、X系アドレスバッファ回路208、X系冗長回路207、X系アドレスドライバ回路206、電源Vcc用リミッタ回路212等が配置される。前記4個のブロックのうち、左下、右下の夫々のブロック間には同様に直接系周辺回路及び間接系周辺回路が配置される。直接系周辺回路としてはカラムアドレスデコード回路（YDEC）203が配置される。間接系周辺回路としてはテスト機能系回路216、CE系回路217、Y系アドレスバッファ回路215、Y系冗長回路214、Y系アドレスドライバ回路213、電源VDL用リミッタ回路218等が配置される。これらの直接系周辺回路、間接系周辺回路の夫々は基本的に相補型MISFETを主体とする半導体素子で構成

18

される。また、直接系周辺回路、間接系周辺回路の夫々は、バイポーラトランジスタを主体とする半導体素子若しくは相補型MISFETとバイポーラトランジスタとを組み合わせた半導体素子を主体として構成される。

【0052】前記4個のブロックのうち、左上、左下の夫々のブロック間、及び右上、右下の夫々のブロック間には間接系周辺回路としてのメインアンプ回路219が配置される。また、4個のブロックのうち、左上、左下の夫々のブロック間には間接系周辺回路としてのVCH系回路220、基板電位発生回路（VBBジェネレータ回路）221の夫々が配置される。

【0053】前記4個のブロックのうち、左上、左下の夫々のブロック間、及び右上、右下の夫々のブロック間には前述の複数個の信号系外部端子24S（図3中、□印で表わす）、複数個の電源系外部端子24V（図3中、■印で表わす）の夫々を含む複数個の外部端子24が配列される。本実施例1の樹脂封止型半導体装置1は一部分にLOC構造が採用され、半導体ベレット2Aの一表面20の中央領域まで複数本の信号系内部リード3Aの一端側が引き回わされているので、外部端子24は前述のように半導体ベレット2Aの一表面20の中央領域に集中的に配列される。

【0054】前記64個に細分化されたメモリセルアレイ201の夫々には相補性データ線とワード線との交差部において1【bit】の情報を記憶保持するメモリセルが配置され、このメモリセルは行列状に複数配置される。メモリセルはメモリセル選択用MISFETと情報蓄積用容量素子との直列回路で構成される。なお、本実施例1のDRAMはメモリセルアレイ201内に配置されたメモリセルの回路動作は降圧電圧例えば3～3.3【V】で行われる。

【0055】前記半導体ベレット2Aは、図5（要部拡大断面図）に示すように、単結晶珪素からなる半導体基板230を主体に構成される。この半導体基板230の主面、図5中、上側の表面は半導体ベレット2Aの一表面20に相当し、DRAMが搭載される。

【0056】前記半導体基板230の主面には、素子分離絶縁膜231で周囲を規定された活性領域内に、図示しない半導体素子（例えば、MISFET）が構成される。半導体基板230の主面上には複数層の導電層が層間絶縁膜（各層の導電層の間に形成される層間絶縁膜や最終保護膜を総称して符号234で表示する。以下、同様。）234を介在して配置される。本実施例のDRAMは、この構造に限定されないが、4層構造のゲート配線232及び2層構造の金属配線233を有する、合計6層配線構造で構成される。

【0057】前記4層構造のゲート配線232のうち、最下層の第1層目のゲート配線は例えば多結晶珪素膜及びその上層に積層された高融点金属珪化（例えば、WSi<sub>2</sub>）膜で構成される。第1層目のゲート配線はメモリ

19

セルのメモリセル選択用MISFETのゲート電極、ワード線、周辺回路のMISFETのゲート電極等を構成する。第2層目のゲート配線は例えば多結晶珪素膜で構成される。第2層目のゲート配線は主にメモリセルの情報蓄積用容量素子の下層電極を構成する。この情報蓄積用容量素子は下層電極上に誘電体膜を介在して上層電極（共通プレート電極）が積層される積層構造（スタック構造）で構成される。第3層目のゲート配線は例えば多結晶珪素膜で構成される。第3層目のゲート配線は前記情報蓄積用容量素子の下層電極を構成する。最上層の第4層目のゲート配線は例えば高融点金属珪化（例えば、 $WSi_2$ ）膜で構成される。第4層目のゲート配線は主に相補性データ線を構成する。前記4層構造のゲート配線232のうち、最下層の第1層目のゲート配線を除き、第2層目のゲート配線から最上層の第4層目のゲート配線までは、主にメモリセルアレイ201において構成される。

【0058】前記2層構造の金属配線233のうち、下層の第1層目の金属配線は例えば高融点金属（例えば、W）膜で構成される。第1層目の金属配線は、メモリセルアレイ201の領域においては主にセレクト信号線（YSL系信号線）として構成され、周辺回路の領域においては半導体素子間、回路間等の相互の結線用配線として使用される。最上層の第2層目の金属配線は例えばアルミニウム合金膜を主体とする積層膜で構成される。この積層膜は、例えば、アルミニウム合金膜の下層にバリアメタル膜としてのTiW膜が、上層にアルミニウムヒルロック防止膜や反射防止膜としてのTiW膜が夫々含まれる。第2層目の金属配線は、メモリセルアレイ201の領域においては主にシャント用ワード線として構成され、周辺回路の領域においては半導体素子間、回路間等の相互の結線用配線として使用される。また、第2層目の金属配線は、最上層に形成され、本来の外部端子（ボンディングパッドBP）を構成する。本実施例1のDRAMは、最上層の第2層目の金属配線の上層にさらに外部端子24及び下地金属膜235としての金属層が構成され、半導体ベレット2Aとしては外部端子24及び下地金属膜235が最上層となる。

【0059】前記2層構造の金属配線233のうち、最上層の第2層目の金属配線で構成される外部端子（BP）は、層間絶縁膜（実際には最終保護膜）234に形成されたボンディング開口234Hを通して、半導体ベレット2Aの一表面20に配置された外部端子24

（F）に電気的に接続される。例えば、ボンディング開口234Hは開口形状がほぼ正形状で形成される場合、このボンディング開口234Hの開口の一辺が100〔 $\mu m$ 〕程度の寸法で構成される。外部端子24

（F）は、少なくともボンディング開口234Hに対して（実際には表面被覆膜237に形成された開口237Hに比べて）製造プロセスにおけるマスク合せずれ量に

20

相当する分、大きい寸法例えば一辺が120～130

〔 $\mu m$ 〕程度の寸法で構成される。前記ボンディング開口234H（又は及び開口237H）は、開口の角部分での外部端子24（F）に基づく応力集中を低減する目的で、開口形状を六角形状、八角形状等の多角形状に若しくは円形状に構成してもよい。外部端子24（F）は、比抵抗値が小さく、ステップカバレッジが高く、製造プロセスでの性質の安定性が高い等の要件を備えた、例えば高融点金属（例えばW）膜で構成される。

【0060】前記外部端子24（F）の表面上には下地金属膜235が構成される。下地金属膜235は主に外部端子24（F）とその表面に電気的かつ機械的に接続される半田電極25との接着性（濡れ性若しくはボンダビリティ）を向上する目的で構成される。半田電極25は、例えば、下層から上層に向かってCr膜、Cu膜、Au膜の夫々を順次積層した積層膜で構成される。

【0061】この外部端子24（F）は、層間絶縁膜234特にその最終保護膜の上層に表面被覆膜237を介在して配置される。この表面被覆膜237は、後述するが、半導体ベレット2Aつまり半導体基板230の一表面20と対向する裏面（図5中、下側）21上等にも構成される。表面被覆膜237は、例えば酸化珪素膜若しくは窒化珪素膜又はそのいずれかを含む積層膜つまり絶縁性を有し、主に外部端子24（F）等を他の導電性領域から絶縁分離する目的で構成される。

【0062】前記外部端子24（F）は、ボンディング開口234Hのほぼ上層、つまり本来の外部端子（BP）233のほぼ上層であって、この外部端子（BP）233が配置された領域とほぼ同一の領域に配置される。外部端子24（F）は、表面被覆膜237の表面上での引き回しを最小限に抑え、信号伝達経路の短縮化、又は電源経路の短縮化を目的として構成される。

【0063】前記外部端子24（F）は、同図5及び前記図1に示すように、ワイヤ5の一端のボール部と電気的に接続される。

【0064】前記半導体ベレット2Aの一表面20に配置された外部端子24（F）と実質的に同一領域において、この半導体ベレット2Aの裏面21つまり半導体基板230の裏面には外部端子24（UF：裏面21に配置された外部端子を表示する）が配置される。この外部端子24（UF）は、半導体ベレット2Aの一表面20から裏面21に通じる基板貫通孔（接続孔）22内に形成された接続孔配線23を通して、一表面20に配置される外部端子24（F）に電気的に接続される。つまり、半導体ベレット2Aの一表面20に配置された外部端子24（F）、この外部端子24（F）が配置された領域と実質的に同一領域において裏面21に配置された外部端子24（UF）の夫々は、接続孔配線23を対して電気的に短絡され、同一信号が伝達され又は同一電源が供給される。裏面21に配置された外部端子24（U

21

F)は、本実施例1においては一表面20に配置された外部端子24(F)、接続孔配線23の夫々と同一材料で形成され、一体に構成されかつ同一製造プロセスで形成される。

【0065】裏面21に配置された外部端子24(UF)は、同図5に示すように、半導体基板230の裏面21に形成された凹部236の表面上に形成される。この凹部236は、主に、基板貫通孔22が配置される領域において半導体基板230の裏面21に形成され、この半導体基板230の厚さを減少し、基板貫通孔22の長さ(深さ)を短縮する目的で構成される。基板貫通孔22の長さの短縮は、製造プロセスにおいて、基板貫通孔22の加工を容易にでき、又接続孔配線23の断線不良を低減できる。

【0066】前記裏面21に配置された外部端子24(UF)と半導体基板230との間、基板貫通孔22において半導体基板230と接続孔配線23との間の夫々は表面被覆膜237を介在して電氣的に分離される。

【0067】また、裏面21に配置された外部端子24(UF)の表面上(図5中、下面)には下地金属膜235が構成される。この下地金属膜235は一表面20に配置された外部端子24(F)の表面上に構成された下地金属膜235と同一のもので構成される。この外部端子24(UF)の表面上には、同図5及び前記図1に示すように、半田電極(又は突起電極若しくはCCB電極)25が構成される。半田電極25は、半導体ペレット2Aの裏面21に配置された外部端子24(UF)、半導体ペレット2Aの下層に積層される半導体ペレット2Cの一表面20に配置される外部端子24(F)の夫々を電氣的かつ機械的に接続する。つまり、半田電極25は、結果的に、半導体ペレット2Aの一表面20に搭載されたDRAM、半導体ペレット2Cの一表面20に搭載されたDRAMの夫々の信号系端子間や電源系端子を電氣的に接続する。

【0068】前記半田電極25は、半導体ペレット2Aの製造プロセスつまり所謂ウエーハプロセスの終了時、半田電極25が存在してもしなくてもいずれの場合でもよいが、少なくとも樹脂封止型半導体装置1の組立プロセスにおいて半導体ペレット2A乃至2Dが積層された時点では存在する。半田電極25は例えばPb-Sn系半田で構成される。

【0069】前記半導体ペレット2Aの一表面20において、外部端子24(F)が配置された領域以外の領域に、図5に示すように(図3には配置位置を表示するために便宜的にダミー半田層25Dを示す)、ダミー外部端子24Dが配置される。なお、半導体ペレット2C、2Bの夫々において、前記図1に示すように、一表面20に配置されたダミー外部端子24Dの表面上には半導体ペレット2A、2Dの夫々の裏面21に配置されたダミー半田層25Dが配置される。

22

【0070】ダミー外部端子24Dは、半導体ペレット2Aの一表面20に搭載されたDRAMには電氣的に接続されておらず、主に、ダミー半田層25Dとともに、半導体ペレット2A、2Cの夫々を積層した際の機械的な安定性を確保する目的で構成される。図3及び図5に示すように、本実施例1において、半導体ペレット2Aの一表面20に搭載されるDRAMは、前述のように、樹脂封止型半導体装置1の一部にLOC構造が採用され、半導体ペレット2Aの一表面20の中央領域に外部端子24(F)が集中的に配列され、同様に裏面21の中央領域に外部端子24(UF)が集中的に配列される。この結果、半導体ペレット2A、2Cの電氣的及び機械的な接続領域(主に、半田電極25の部分)において、この接続領域にそれを中心とするモーメントが発生する。このモーメントの発生は半田電極25の損傷や破壊(例えば、断線不良)を誘発する。前記ダミー外部端子24D及びダミー半田層25Dは、前述の接続領域に発生するモーメント等の外力が加わることを防止できる。

【0071】図3に示すように、ダミー外部端子24D、ダミー半田層25Dの夫々は、半導体ペレット2Aの一表面20、裏面21の夫々において、長形状の各辺に沿った周辺、長形状の対角線に実質的に一致する領域、長形状の各角部等、外力の発生を防止できる領域に配置する。ダミー外部端子24D、ダミー半田層25Dの夫々は、一表面20において、基本的にはDRAMのメモリセルアレイ201や周辺回路が配置されない領域に配置することがそれらの損傷や破壊を防止する目的で好ましい。しかし、損傷や破壊の確率が極めて小さく若しくは最終保護膜(234)に樹脂膜等の衝撃吸収作用がある膜を使用する場合においては、メモリセルアレイ201や周辺回路が配置された領域にダミー外部端子24D、ダミー半田層25Dの夫々を重複させて配置できる。本実施例1のDRAMは、図示しないが、最終保護膜(234)に $\alpha$ 線を吸収する目的でポリイミド樹脂膜が含まれており、このポリイミド樹脂膜を衝撃吸収膜として兼用する。

【0072】前記樹脂封止型半導体装置1の半導体ペレット2A以外の半導体ペレット2B乃至2Dの夫々は前記半導体ペレット2Aと実質的に同一構造で構成される。

【0073】樹脂封止型半導体装置1の半導体ペレット2Aの一表面20に配置された外部端子24(F)は、前記図1及び図2(A)に示すように、ワイヤ5を通して内部リード3Aの一端に電氣的に接続される。

【0074】半導体ペレット2Cの一表面20の外部端子24(F)は半田電極25を介在して半導体ペレット2Aの裏面21に配置された外部端子24(UF)に電氣的かつ機械的に接続される。つまり、半導体ペレット2Aの一表面20に配置された外部端子24(F)は、

50

23

半導体ペレット2Aの接続孔配線23、裏面21に配置された外部端子24(UF)、半田電極25の夫々を通して、半導体ペレット2Cの一表面20に配置された外部端子24(F)に電氣的に接続される。

【0075】また、樹脂封止型半導体装置1の半導体ペレット2Bの裏面21に配置された外部端子24(UF)は、前記図1及び図2(B)(半導体ペレットの裏面から見た平面図)に示すように、ワイヤ5を通して内部リード3Cの一端に電氣的に接続される。半導体ペレット2Bの裏面21に配置された外部端子24(UF)は、この半導体ペレット2Bの接続孔配線23を通して、半導体ペレット2Bの一表面20に配置された外部端子24(F)に電氣的に接続され、かつ一表面20に搭載されたDRAMに電氣的に接続される。内部リード3Cの他端側は、樹脂封止体6の内部において、内部リード3Aの他端側に電氣的かつ機械的に接続される。内部リード3C、3Aの夫々の接続は例えば溶接により行われ、内部リード3Cは内部リード3Aと実質的に同一材料で構成される。前記半導体ペレット2Aの一表面20上に配置された電源系内部リード3Dと同様に、半導体ペレット2Bの裏面21において、内部リード3Cの一端と裏面21に配置された外部端子24(UF)との間には電源系内部リード3Eが配置される。つまり、樹脂封止型半導体装置1は、一部分に内部リード3C上に半導体ペレット2Bを配置するCOL(Chip On Lead)構造が採用される。

【0076】半導体ペレット2Dの一表面20の外部端子24(F)はこの半導体ペレット2Dの接続孔配線23を通して裏面21に配置された外部端子24(UF)に電氣的に接続される。この半導体ペレット2Dの裏面21に配置された外部端子24(UF)は半田電極25を介在して半導体ペレット2Bの一表面20に配置された外部端子24(F)に電氣的かつ機械的に接続される。

【0077】前記半導体ペレット2A、2Cの夫々の積層に際しては、半導体ペレット2Aの裏面21に配置されたダミー外部端子24D、ダミー半田層25D及び半導体ペレット2Cの一表面20に配置されたダミー外部端子24Dを介在して行われる。つまり、半導体ペレット2A、2Cの夫々の積層は機械的な安定性が確保される。半導体ペレット2Aの裏面21に配置されたダミー外部端子24Dは裏面21に配置された外部端子24(UF)と、半導体ペレット2Cの一表面20に配置されたダミー外部端子24Dは一表面20に配置された外部端子24(F)と夫々同一製造プロセスで形成される。ダミー半田層25Dは、半導体ペレット2A、2Cの夫々に搭載されたDRAMの夫々を電氣的に接続する半田電極25と同一製造プロセスで形成される。

【0078】同様に、前記半導体ペレット2D、2Bの夫々の積層に際しては、半導体ペレット2Dの裏面21

24

に配置されたダミー外部端子24D、ダミー半田層25D及び半導体ペレット2Bの一表面20に配置されたダミー外部端子24Dを介在して行われる。つまり、半導体ペレット2D、2Bの夫々の積層は機械的な安定性が確保される。半導体ペレット2Dの裏面21に配置されたダミー外部端子24Dは裏面21に配置された外部端子24(UF)と、半導体ペレット2Bの一表面20に配置されたダミー外部端子24Dは一表面20に配置された外部端子24(F)と夫々同一製造プロセスで形成される。ダミー半田層25Dは、半導体ペレット2D、2Bの夫々に搭載されたDRAMの夫々を電氣的に接続する半田電極25と同一製造プロセスで形成される。

【0079】前記樹脂封止型半導体装置1において積層された4個の半導体ペレット2A乃至2Dの夫々は、図4(DRAMのシステム構成図)に示すように、制御系信号のカラムアドレスストロープ信号CE0~CE3を除き、他の信号や電源が共用される。共用される他の信号としては、ロウアドレスストロープ信号REB、ライトインエーブル信号WB、アドレス系信号Address(A0~A11)、入力情報系信号Din若しくは出力情報系信号Dout(D0~D16)等である。共用される電源としては電源Vcc、電源Vssの夫々である。つまり、積層された4個の半導体ペレット2A乃至2Dの夫々の同一位置に配置された外部端子24には同一の信号が伝達され若しくは電源が供給される。

【0080】前記カラムアドレスストロープ信号CE0~CE3の夫々は半導体ペレット2A乃至2Dのいずれかに搭載されたDRAMの回路動作を制御する選択信号(チップセレクト信号)としても使用される。つまり、樹脂封止型半導体装置1にカラムアドレスストロープ信号CE0が入力されると半導体ペレット2Cに搭載されたDRAMの回路動作が行われる。同様に、カラムアドレスストロープ信号CE1は半導体ペレット2Aに搭載されたDRAMの、カラムアドレスストロープ信号CE2は半導体ペレット2Bに搭載されたDRAMの、カラムアドレスストロープ信号CE3は半導体ペレット2Dに搭載されたDRAMの夫々の回路動作を制御する。

【0081】前記半導体ペレット2A乃至2Dの夫々に搭載されたDRAMの夫々へのカラムアドレスストロープ信号CE0~CE3の夫々の伝達は、ワイヤ5の有無、外部端子(BP)233から引き出される配線233の有無の夫々を組合わせて行われる。また、このカラムアドレスストロープ信号CE0~CE3のいずれかが該当する半導体ペレット2への取り込みは半田電極25の有無を併用して行ってもよい。また、カラムアドレスストロープ信号CE0~CE3のいずれかが該当する半導体ペレット2への取り込みは、半導体ペレット2A乃至2Dの夫々に夫々毎に作り込まれた(マスター化された)選択回路を配置し、この選択回路を通して行ってもよい。



25

【0082】なお、選択信号としては、カラムアドレスストロブ信号CEに変えて、ロウアドレスストロブ信号REBを使用してもよいし、これらの信号と別の信号を使用してもよい。

【0083】前記図1及び図2に示す樹脂封止体6はトランスファーモールド法で成型される。樹脂封止体6は例えばフェノール硬化型エポキシ系樹脂で形成される。このフェノール硬化型エポキシ系樹脂にはシリコンゴム及びフィラー等が添加される。シリコンゴムは、若干量添加され、フェノール硬化型エポキシ系樹脂の弾性率を低減させる作用がある。フィラーは、球形の酸化珪素粒で形成され、熱膨張率を低減させる作用がある。

【0084】次に、前記半導体ペレット2の製造プロセス（ウエーハプロセス）、SOJ構造を採用する樹脂封止型半導体装置1の組立プロセスの夫々について、簡単に説明する。

【0085】《ウエーハプロセス》前記半導体ペレット2のウエーハプロセスについて、図6（工程（A）乃至工程（E）毎に示す要部拡大断面図）に示す。

【0086】まず、図6（A）に示すように、単結晶珪素からなる半導体基板（ダイシング工程前は半導体ウエーハ）230の一表面20にDRAMを搭載する。DRAMは前述のように複数個の半導体素子、複数層の配線層等を備えて構成される。

【0087】次に、図6（B）に示すように、半導体基板230の裏面21の外部端子24の形成領域に凹部236を形成する。凹部236は例えばフォトリソグラフィ技術及びエッチング技術を使用することで形成される。エッチング技術としては外部端子24（UF）の段差部でのステップカバレージを高める目的で等方性エッチング技術を使用する。例えば、厚さ300～400

〔μm〕程度の半導体基板230を使用する場合、凹部236が形成された領域の半導体基板230の厚さを200〔μm〕程度まで薄くする。凹部236が形成され、半導体基板230の厚さが薄くされると、この領域に形成される基板貫通孔22を形成する際に深さ方向のエッチング量を減少できるので、基板貫通孔22の加工精度を向上でき、しかも製造プロセス上の歩留りを向上できる。

【0088】次に、前記半導体基板230の一表面20の層間絶縁膜（最終保護膜）234に外部端子（BP）233上においてボンディング開口234Hを形成する。ボンディング開口234Hはフォトリソグラフィ技術及びエッチング技術を使用することで形成される。この後、図6（C）に示すように、ボンディング開口234H内において、外部端子（BP）233、半導体基板230等を突き抜け、半導体基板230の一表面20から裏面21の凹部236内に通じる基板貫通孔22を形成する。基板貫通孔22は、前記ボンディング開口234Hの形成で使用されるマスクを兼用し若しくは別に新

26

たにフォトリソグラフィ技術でマスクを形成し、エッチング技術を使用することで形成できる。エッチング技術としては例えばRIE等の異方性エッチング技術が使用される。基板貫通孔22は、例えば開口形状が正方形で形成される場合、開口の一边を約1～数十〔μm〕程度の寸法で形成する。

【0089】次に、半導体基板230の少なくとも一表面20の層間絶縁膜234の表面上、裏面21及び基板貫通孔22を含む領域に表面被覆膜237を形成する。表面被覆膜237は、非常に狭い領域である基板貫通孔22の内壁に成膜できる、例えばCVD法で堆積された酸化珪素膜で形成する。表面被覆膜237は、外部端子24及び接続孔配線23と半導体基板230との間の電気的な短絡の防止を主目的として形成されるので、前述の酸化珪素膜で形成する場合、少なくとも300～500〔nm〕程度の膜厚で形成される。表面被覆膜237としては、スパッタ法若しくはCVD法で堆積した窒化珪素膜、又はスパッタ法で堆積した酸化珪素膜法で形成してもよい。

【0090】次に、前記半導体基板230の一表面20に形成された表面被覆膜237に外部端子（BP）233の領域及びボンディング開口234Hの領域において開口237Hを形成する（図6（E）参照）。開口237Hはフォトリソグラフィ技術及びエッチング技術を使用することにより形成する。

【0091】次に、図6（E）に示すように、前記半導体基板230の一表面20に外部端子24（F）、裏面21に外部端子24（UF）、基板貫通孔22内に接続孔配線23の夫々を形成するとともに、外部端子24（F）、外部端子24（UF）の夫々の表面上に下地金属膜235を形成する。

【0092】前記外部端子24（F）は、前記半導体基板230の一表面20の表面被覆膜237の表面上に形成され、開口237H、ボンディング開口234Hの夫々を通して外部端子（BP）233に電氣的に接続される。外部端子24（UF）は、半導体基板230の裏面21の表面被覆膜237の表面上に凹部236の領域と一致する領域において形成される。接続孔配線23は、基板貫通孔22内に表面被覆膜237を介在して埋込まれ、一表面20の外部端子24（F）、裏面21の外部端子24（UF）の夫々に電氣的に接続されかつ一体に形成される。外部端子24（F）、外部端子24（UF）、接続孔配線23の夫々は、本実施例1において、同一製造工程で形成される。つまり、外部端子24

（F）、外部端子24（UF）、接続孔配線23の夫々は、まず、CVD法で半導体基板230の一表面20及び裏面21の両面の表面被覆膜237の表面上に導電層を形成し、この導電層にフォトリソグラフィ技術及びエッチング技術を使用し、パターンニングを施すことにより形成できる。導電層としては、比抵抗値が小さく、段



27

差部分でのステップカバレッジが高く、しかも製造プロセスでの性質の安定性が高い、例えばW膜が使用される。また、W膜は、半導体基板230の一表面20、裏面21の夫々に別々に堆積してもよい。この場合、W膜の堆積法としてはCVD法、スパッタ法のいずれの方法を使用してもよい。また、導電層としては、W膜以外の高融点金属膜やWSi<sub>2</sub>膜等の高融点金属珪化膜を使用してもよい。

【0093】前記下地金属膜235は、前記外部端子24(F)等を形成する導電層の表面上に重ねて積層され、この導電層とともにパターンニングされる。

【0094】また、外部端子24(F)、外部端子24(UF)、接続孔配線23の夫々を形成する工程と同一製造工程において、前記半導体基板230の一表面20、裏面21の夫々の表面被覆膜237の表面上にダミー外部端子24Dが形成される。つまり、ダミー外部端子24Dは前記外部端子24(F)等と同一製造工程で形成できるので、このダミー外部端子24Dを形成する工程に相当する分、製造工程数を削減できる。

【0095】これらの一連の工程を施すことにより、半導体基板(半導体ウエーハ)230に実質的に同一のDRAMが搭載された複数個の半導体ベレット2(2A乃至2D)に相当する領域が形成される。

【0096】次に、前述の図1及び図5に示すように、半導体基板230に形成された半導体ベレット2に相当する領域のうち、半導体ベレット2A、2Dの夫々に相当する領域において、裏面21に配置された外部端子24(UF)に半田電極25を形成する。また、逆に、半導体ベレット2B、2Cの夫々に相当する領域において、一表面20に配置された外部端子24(F)に半田電極25を形成してもよい。また、半導体ベレット2A、2Dの夫々に相当する領域において、裏面21に配置された外部端子24(UF)に半田電極25の一部を形成するとともに、半導体ベレット2B、2Cの夫々に相当する領域において、一表面20に配置された外部端子24(F)に半田電極25の残部を形成してもよい。この場合、半田電極25の一部、残部の夫々が別々の形成工程で形成され、半田電極25の一部、残部のうち、先に形成されるものに比べて後に形成されるものの融点を若干低く設定する。

【0097】この後、前記半導体基板230にダイシング処理を施し、複数個の半導体ベレット2A乃至2Dの夫々を形成する。

【0098】なお、前記半田電極25は、ダイシング処理を施した後に、半導体ベレット2A乃至2Dのうち該当するものの外部端子24に形成してもよい。

【0099】《組立プロセス》前記樹脂封止型半導体装置1の組立プロセスについて、図7(工程(A)乃至工程(E)毎に示す要部断面図)に示す。

【0100】まず、図7(A)、図7(B)の夫々に示

28

すように、前述のウエーハプロセスで複数個の半導体ベレット2A乃至2Dが製造された後、前述のように、半導体ベレット2A、2Cの夫々を積層するとともに、半導体ベレット2D、2Bの夫々を積層する。

【0101】次に、図7(C)に示すように、積層された半導体ベレット2B、2Dの夫々のうち、半導体ベレット2Bの裏面21に信号系内部リード3C及び電源系内部リード3Eを装着(所謂、ベレットボンディング)し、半導体ベレット2Bの裏面21の外部端子24(UF)にワイヤ5を通して信号系内部リード3C、電源系内部リード3Eの夫々を接続する(所謂、ワイヤボンディング)。この半導体ベレット2Bの裏面21の外部端子24(UF)に信号系内部リード3C、電源系内部リード3Eの夫々を接続することにより、信号系内部リード3C、電源系内部リード3Eの夫々は、接続孔配線23を通して半導体ベレット2Bの一表面20の外部端子24(F)に接続され、さらに半田電極25及び接続孔配線23を通して半導体ベレット2Bの一表面20の外部端子24(F)に接続される。

【0102】一方、図7(D)に示すように、積層された半導体ベレット2A、2Cの夫々のうち、半導体ベレット2Aの一表面20に信号系内部リード3A及び電源系内部リード3D(及び外部リード3B)を装着し、半導体ベレット2Aの一表面20の外部端子24(F)にワイヤ5を通して信号系内部リード3A、電源系内部リード3Dの夫々を接続する。この半導体ベレット2Aの一表面20の外部端子24(F)に信号系内部リード3A、電源系内部リード3Dの夫々を接続することにより、信号系内部リード3A、電源系内部リード3Dの夫々は、直接、半導体ベレット2Aの一表面20の外部端子24(F)に接続され、さらに半導体ベレット2Aの接続孔配線23及び半田電極25を通して半導体ベレット2Cの一表面20の外部端子24(F)に接続される。

【0103】次に、図7(E)に示すように、積層された半導体ベレット2A、2Cの夫々のうち半導体ベレット2Aの一表面20に、積層された半導体ベレット2B、2Dの夫々のうち半導体ベレット2Bの裏面21を向い合わせ、半導体ベレット2Aの一表面20上に半導体ベレット2Bを積層する。つまり、半導体ベレット2A側に接続される信号系内部リード3A、電源系内部リード3Dの夫々に、半導体ベレット2B側に接続される信号系内部リード3C、電源系内部リード3Eの夫々を接続する。この接続は例えば溶接で行われる。

【0104】次に、トランスファーモールド法を使用し、前記積層された複数個の半導体ベレット2A乃至2Dを樹脂封止体6で封止する。この後、前記外部リード3Bを図示しないリードフレームから切断し、この外部リード3BをJ型形状に成型することにより、前述の図1に示す、SOJ構造を採用する樹脂封止型半導体装置

29

1は完成する。

【0105】このように、本実施例1のSOJ構造を採用する樹脂封止型半導体装置1において、以下の効果が得られる。

【0106】(1)一表面20にDRAMが搭載された半導体ペレット2がその厚さ方向に複数個積層され、この複数個積層された半導体ペレット2の夫々の一表面20に配置される外部端子(BP)233がリード3に電気的に接続される樹脂封止型半導体装置1において、以下の構成(A)及び構成(B)を備える。(A)いづれ10も実質的に同一のDRAMが一表面20に搭載される半導体ペレット2A、半導体ペレット2Bの夫々を有し、この半導体ペレット2A、半導体ペレット2Bの夫々が、夫々の一表面20に搭載された夫々のDRAMを重複させ、半導体ペレット2Aの一表面20に半導体ペレット2Bの一表面20と対向する裏面21を向い合わせ、半導体ペレット2A、半導体ペレット2Bの夫々の厚さ方向を一致した状態で、順次積層され、(B)前記半導体ペレット2Aの一表面20に配置される外部端子24(F)、前記半導体ペレット2Bの一表面20から裏面21に通じる基板貫通孔(接続孔)22内に形成された接続孔配線23を通して一表面20に搭載されたDRAMに接続される裏面21に配置された外部端子24(UF)の夫々が、前記半導体ペレット2Aの一表面20と半導体ペレット2Bの裏面21との間に位置するリード3(本実施例1の場合は、内部リード3A、3Cの夫々)の一端に電気的に接続される。

【0107】この構成(1)によれば、以下の作用効果が得られる。(A)前記半導体ペレット2A、半導体ペレット2Bの夫々を積層し、夫々の占有面積を重複できるので、平面的な占有面積を縮小でき、樹脂封止型半導体装置1の小型化が図れる。この樹脂封止型半導体装置1の小型化は配線基板等に実装する際の実装密度が向上できる。(B)前記半導体ペレット2AのDRAMが搭載された一表面20に裏面21を向い合わせて半導体ペレット2Bを積層し、実質的に同一のDRAMが搭載された半導体ペレット2A、半導体ペレット2Bの夫々を積層できる(相互にDRAMがミラー反転された2種類の半導体ペレット2を用意する必要がない)ので、半導体ペレット2の設計開発から製造が終了し樹脂封止型半導体装置1として製品化されるまでに要する総合的な開発期間が短縮できる。また、1種類のDRAMの設計開発を行えばよいので、樹脂封止型半導体装置1の設計開発コスト、製造コストのいずれも低減できる。(C)前記半導体ペレット2Aの一表面20に搭載されたDRAM、半導体ペレット2Bの一表面20に搭載されたDRAMの夫々が半導体ペレット2Aの占有面積内(主に、回DRAMが配置されない空領域又は外部端子(BP)233の配列領域)において形成された基板貫通孔22及び接続孔配線23を通して電気的に接続され、半導体 50

30

ペレット2Aの占有面積に前記基板貫通孔22及び接続孔配線23を形成する領域の占有面積を重複できるので、この基板貫通孔22及び接続孔配線23を形成する領域に相当する分(半導体ペレット2A、半導体ペレット2Bの夫々のDRAMの間を電気的に接続する領域を他に確保する分)、半導体ペレット2A、2Bの夫々のサイズを縮小でき、樹脂封止型半導体装置1の小型化が図れる。(D)前記半導体ペレット2Aの一表面20に搭載されたDRAM、半導体ペレット2Bの一表面20に搭載されたDRAMの夫々が前記半導体ペレット2Aの一表面20と半導体ペレット2Bの裏面21との間に位置するリード3に電気的に接続され、しかも半導体ペレット2Bの接続孔配線23は半導体ペレット2Bの厚さに相当する極めて短い(例えば、ワイヤ5のワイヤ長に比べて短い)配線長で形成されるので、リード3と半導体ペレット2Aに搭載されたDRAM、半導体ペレット2Bに搭載されたDRAMの夫々との間の配線長を均一化でき、短縮できる。つまり、リード3と半導体ペレット2Aに搭載されたDRAM、半導体ペレット2Bに搭載されたDRAMの夫々との配線長が短縮されると、信号系配線の場合、信号伝達速度を速くでき、半導体ペレット2A、半導体ペレット2Bの夫々に搭載されたDRAMの回路動作速度の高速化が図れ、樹脂封止型半導体装置1の動作速度の高速化が図れる。また、電源系配線の場合、電源の揺れ(ノイズ)が発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ペレット2A、半導体ペレット2Bの夫々に搭載されるDRAMの回路動作上の信頼性を向上できる。また、電源の揺れを低減できるので、連続した回路動作間の待機時間を短縮し、半導体ペレット2A、半導体ペレット2Bの夫々に搭載されるDRAMの回路動作速度の高速化が図れる。

【0108】(2)前記手段(1)に記載される樹脂封止型半導体装置1において、以下の構成(A)及び構成(B)を備える。(A)前記半導体ペレット2Aの一表面20と対向する裏面21に、前記半導体ペレット2Aに搭載されたDRAMと実質的に同一のDRAMが搭載された一表面20を向い合わせて半導体ペレット2Cが、夫々の一表面20に搭載された夫々のDRAMを重複させ、夫々の厚さ方向を一致した状態で積層されるとともに、前記半導体ペレット2Bの一表面20に、前記半導体ペレット2Bに搭載されたDRAMと実質的に同一のDRAMが搭載された一表面20と対向する裏面21を向い合わせて半導体ペレット2Dが、夫々の一表面20に搭載された夫々のDRAMを重複させ、夫々の厚さ方向を一致した状態で積層され、(B)前記積層された半導体ペレット2Aの一表面20に搭載されたDRAM、前記半導体ペレット2Cの一表面20に搭載されたDRAMの夫々が、前記半導体ペレット2Aの一表面20から裏面21に通じる基板貫通孔22内に形成された

31

接続孔配線 2 3 を通して電氣的に接続されるとともに、前記積層された半導体ベレット 2 B の一表面 2 0 に搭載された DRAM、前記半導体ベレットの一表面に搭載された回路システムの夫々が、前記半導体ベレット 2 D の一表面 2 0 から裏面 2 1 に通じる基板貫通孔 2 2 内に形成された接続孔配線 2 3 を通して電氣的に接続される。

【0109】この構成 (2) によれば、前記構成 (1) の効果 (1) の他に、以下の効果が得られる。(A) 前記半導体ベレット 2 A の一表面 2 0 に搭載された DRAM、半導体ベレット 2 C の一表面 2 0 に搭載された DRAM の夫々が半導体ベレット 2 A の占有面積内において形成された基板貫通孔 2 2 及び接続孔配線 2 3 を通して電氣的に接続され、半導体ベレット 2 A の占有面積に前記基板貫通孔 2 2 及び接続孔配線 2 3 を形成する領域の占有面積を重複できるとともに、前記半導体ベレット 2 B の一表面 2 0 に搭載された DRAM、半導体ベレット 2 D の一表面 2 0 に搭載された DRAM の夫々が半導体ベレット 2 D の占有面積内において形成された基板貫通孔 2 2 及び接続孔配線 2 3 を通して電氣的に接続され、半導体ベレット 2 D の占有面積に前記基板貫通孔 2 2 及び接続孔配線 2 3 を形成する領域の占有面積を重複できるので、これらの基板貫通孔 2 2 及び接続孔配線 2 3 を形成する領域に相当する分、半導体ベレット 2 A 及び半導体ベレット 2 D のサイズを縮小でき、樹脂封止型半導体装置 1 の小型化が図れる。(B) 前記半導体ベレット 2 A の一表面 2 0 に搭載された DRAM、半導体ベレット 2 C の一表面 2 0 に搭載された DRAM の夫々が前記半導体ベレット 2 A の厚さに相当する極めて短い配線長で結線されるとともに、前記半導体ベレット 2 B の一表面 2 0 に搭載された DRAM、半導体ベレット 2 D の一表面 2 0 に搭載された DRAM の夫々が前記半導体ベレット 2 D の厚さに相当する極めて短い配線長で結線され、リード 3 と半導体ベレット 2 C に搭載された DRAM、半導体ベレット 2 D に搭載された DRAM の夫々との間の配線長を均一化でき、短縮できる (つまり、リード 3 から半導体ベレット 2 A 乃至半導体ベレット 2 D の夫々に搭載される夫々の DRAM までの配線長を均一化でき、短縮できる)。この結果、樹脂封止型半導体装置 1 の回路動作速度の高速化が図れ、又、樹脂封止型半導体装置 1 の回路動作上の信頼性を向上できる。

【0110】(3) 前記手段 (1) に記載される半導体ベレット 2 B に搭載される DRAM は少なくとも 2 個に分割され (前記図 3 中、上側の 2 個のブロックと下側の 2 個のブロックとに分割され)、この半導体ベレット 2 B は DRAM が 2 個に分割された夫々の間において前記基板貫通孔 2 2 及び接続孔配線 2 3 が配置される、又は前記手段 (2) に記載される半導体ベレット 2 A 若しくは半導体ベレット 2 D に搭載される DRAM は少なくとも 2 個 (上述と同様) に分割され、この半導体ベレット 2 A 若しくは半導体ベレット 2 D は DRAM が 2 個に分

32

割された夫々の間において前記基板貫通孔 2 2 及び接続孔配線 2 3 が配置される。

【0111】この構成 (3) によれば、前記構成 (1) の効果 (1) の他に、前記半導体ベレット 2 B に搭載される DRAM の 2 個に分割されたうちの一方と接続孔配線 2 3 とを接続する配線 (例えば、配線 2 3 3)、他方と接続孔配線 2 3 とを接続する配線の夫々の配線長を均一化ししかも短縮でき、DRAM の動作速度を律則し遅延させる配線長の長い配線を低減できる。この結果、前記配線長が均一化された配線が信号系配線の場合、配線の信号伝達速度を速くできるので、半導体ベレット 2 B に搭載された DRAM の回路動作速度の高速化が図れ、樹脂封止型半導体装置 1 の動作速度の高速化が図れる。配線が電源系配線の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ベレット 2 B の夫々に搭載される DRAM の回路動作上の信頼性を向上できる。さらに、配線が電源系配線の場合、連続した回路動作間の待機時間を短縮し、半導体ベレット 2 B に搭載される DRAM の回路動作速度の高速化が図れるので、樹脂封止型半導体装置 1 の動作速度の高速化が図れる。この効果は、樹脂封止型半導体装置 1 に LOC 構造を採用したことによる効果でもある。

【0112】また、前記構成 (2) の効果 (2) の他に、前記半導体ベレット 2 A 若しくは半導体ベレット 2 D に搭載される DRAM の 2 個に分割されたうちの一方と接続孔配線 2 3 とを接続する配線、他方と接続孔配線 2 3 とを接続する配線の夫々の配線長を均一化ししかも短縮でき、DRAM の動作速度を律則し遅延させる配線長の長い配線を低減できる。この結果、前記配線長が均一化された配線が信号系配線の場合、配線の信号伝達速度を速くできるので、半導体ベレット 2 A 若しくは半導体ベレット 2 D に搭載された DRAM の回路動作速度の高速化が図れ、樹脂封止型半導体装置 1 の動作速度の高速化が図れる。配線が電源系配線の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ベレット 2 A 若しくは半導体ベレット 2 D の夫々に搭載される DRAM の回路動作上の信頼性を向上できる。さらに、配線が電源系配線の場合、連続した回路動作間の待機時間を短縮し、半導体ベレット 2 A 若しくは半導体ベレット 2 D に搭載される DRAM の回路動作速度の高速化が図れるので、樹脂封止型半導体装置 1 の動作速度の高速化が図れる。

【0113】(4) 前記構成 (3) に記載される基板貫通孔 2 2 は半導体ベレット 2 B 又は半導体ベレット 2 A 若しくは半導体ベレット 2 D の一表面 2 0 に配置される外部端子 2 4 (F) と重複する領域に配置され、この外部端子 2 4 (F) と基板貫通孔 2 2 内に形成された接続孔配線 2 3 が前記重複する領域において電氣的に接続される。

33

【0114】この構成(4)によれば、前記構成(3)の効果(3)の他に、以下の効果が得られる。(A)前記半導体ペレット2B又は半導体ペレット2A若しくは半導体ペレット2Dの一表面20に配置される外部端子24(F)、接続孔配線22の夫々を結線する配線長を短縮でき(実質的に結線領域を廃止でき)、信号系外部端子24Sの場合、信号伝達速度を速くできるので、DRAMの回路動作速度の高速化が図れ、樹脂封止型半導体装置1の動作速度の高速化が図れる。また、電源系外部端子24Vの場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、DRAMの回路動作上の信頼性を向上できる。また、電源系外部端子24Vの場合、連続した回路動作間の待機時間を短縮し、回路システムの回路動作速度の高速化が図れるので、樹脂封止型半導体装置1の動作速度の高速化が図れる。(B)前記半導体ペレット2B又は半導体ペレット2A若しくは半導体ペレット2Dの一表面20に配置される外部端子24S及び24Vの占有面積に基板貫通孔22及び接続孔配線23の占有面積を重複し、基板貫通孔22及び接続孔配線23を配置する領域に相当する分、半導体ペレット2B又は半導体ペレット2A若しくは半導体ペレット2Dのサイズを縮小できるので、樹脂封止型半導体装置1の小型化が図れる。

【0115】(5)前記手段(4)に記載される樹脂封止型半導体装置1は、半導体ペレット2Aの一表面20上に絶縁体4を介在し延在する内部リード3A(及び電源系内部リード3D)の一端に半導体ペレット2Aの一表面20に配置された外部端子24(F)が電気的に接続されるとともに、前記半導体ペレット2Bの裏面21に絶縁体4を介在し延在する内部リード3C(及び電源系内部リード3E)の一端に半導体ペレット2Bの裏面21に配置された外部端子24(UF)が電気的に接続され、前記半導体ペレット2A及び半導体ペレット2B、又は半導体ペレット2A乃至2D、前記内部リード3Aの一端側、内部リード3Cの一端側の夫々が樹脂封止体6で封止される。なお、後述するが、後述する実施例3(図9参照)において説明するが、1本の内部リード3Aの上側表面に半導体ペレット2B及び2D、下側表面に半導体ペレット2A及び2Cの夫々を構成してもよい。

【0116】この構成(5)によれば、前記構成(4)の効果(4)の他に、以下の効果が得られる。(A)前記半導体ペレット2A又は半導体ペレット2Bの占有面積内にリード3の一端側つまりリード3の内部リード3A及び3Cを延在し、前記半導体ペレット2A又は半導体ペレット2Bの外周囲において内部リード3A及び3Bの引き伸しを減少できるので、内部リード3A及び3Bの引き伸しの減少に相当する分、樹脂封止体6の占有面積を縮小し、樹脂封止型半導体装置1の小型化が図れる。この効果は、樹脂封止型半導体装置1にLOC構造

34

を採用したことによる効果でもある。(B)前記効果

(A)に基づき、前記リード3のリード長を縮小でき、信号系内部リード3A及び3Cの場合、信号伝達速度を速くできるので、半導体ペレット2A又は半導体ペレット2Bに搭載されたDRAMの回路動作速度の高速化が図れ、樹脂封止型半導体装置1の動作速度の高速化が図れる。また、電源系内部リード3D及び3Eの場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ペレット2A若しくは半導体ペレット2Bに搭載されるDRAMの回路動作上の信頼性を向上でき、樹脂封止型半導体装置1の動作信頼性を向上できる。また、電源系内部リード3D及び3Eの場合、連続した回路動作間の待機時間を短縮し、半導体ペレット2A若しくは半導体ペレット2Bに搭載されるDRAMの回路動作速度の高速化が図れるので、樹脂封止型半導体装置1の動作速度の高速化が図れる。この効果は、樹脂封止型半導体装置1にLOC構造を採用したことによる効果でもある。

【0117】(6)一表面20にDRAMが搭載された半導体ペレット2がその厚さ方向に複数個積層され、この複数個積層された半導体ペレット2の夫々の一表面20に配置される複数個の外部端子(BP)233の夫々が複数本のリード3の一端の夫々に個々に電気的に接続される樹脂封止型半導体装置1において、以下の構成

(A)乃至構成(C)を備える。(A)いずれも実質的に同一のDRAMが一表面20に搭載される半導体ペレット2A、半導体ペレット2Bの夫々を有し、この半導体ペレット2A、半導体ペレット2Bの夫々が、夫々の一表面20に搭載された夫々のDRAMを重複させ、半導体ペレット2Aの一表面20に半導体ペレット2Bの一表面20と対向する裏面21を向い合わせ、半導体ペレット2A、半導体ペレット2Bの夫々の厚さ方向を一致した状態で、順次積層され、(B)前記半導体ペレット2Aの一表面20に配置される複数個の外部端子24(F)のうち一部の複数個の信号系外部端子24S、前記半導体ペレット2Bの一表面20から裏面21に通じる基板貫通孔22内に形成された接続孔配線23を通して一表面20に搭載されたDRAMに接続される裏面21に配置された複数個の外部端子24(UF)のうち一部の複数個の信号系外部端子24Sの夫々が、前記半導体ペレット2Aの一表面20若しくは裏面21又は半導体ペレット2Bの一表面20若しくは裏面21に絶縁体4を介在し、複数本のリード3のうち、同一方向に延在する一部の複数本の信号系内部リード3A又は3Cの一端の夫々に電気的に接続され、(C)前記半導体ペレット2Aの一表面20に配置された一部の複数個の信号系外部端子24S又は前記半導体ペレット2Bの裏面21に配置された一部の複数個の信号系外部端子24Sの夫々と前記一部の複数本の信号系内部リード3A又は3Cの一端の夫々との間に、前記複数本の信号系内部リード

35

3A又は3Cの延在方向と交差する方向に延在する、複数本のリード3のうちの残部の電源系内部リード3D又は3Eが配置され、この電源系内部リード3D又は3Eが、前記半導体ペレット2A又は2Bの一表面20に配置された複数個の外部端子24(F)のうちの残部の複数個の電源系外部端子24V、前記半導体ペレット2Bの裏面21に配置された複数個の外部端子24(UF)のうちの残部の複数個の電源系外部端子24Vの夫々に電気的に接続される。

【0118】この構成(6)によれば、前記構成(1)の効果(1)の効果(A)乃至効果(C)の他に、前記半導体ペレット2Aの一表面20に配置される複数個の電源系外部端子24V又は前記半導体ペレット2Bの裏面21に配置される複数個の電源系外部端子24Vの夫々の配列方向に沿って電源系リード3D又は3Eが配置され、この電源系リード3D又は3Eといずれかの電源系外部端子24Vの夫々との間においても最短距離で電気的な接続が行えるので、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ペレット2A、半導体ペレット2Bの夫々に搭載されるDRAMの回路動作上の信頼性を向上できる。また、電源の揺れを低減できるので、連続した回路動作間の待機時間を短縮し、半導体ペレット2A、半導体ペレット2Bの夫々に搭載されるDRAMの回路動作速度の高速化が図れる。

【0119】(7)一表面20にDRAMが搭載された半導体ペレット2がその厚さ方向に複数個積層される樹脂封止型半導体装置1において、以下の構成(A)乃至構成(C)を備える。(A)いずれも実質的に同一のDRAMが一表面20に搭載される半導体ペレット2A、2Cの夫々(又は半導体ペレット2D、2Bの夫々)を有し、この半導体ペレット2A、半導体ペレット2Cの夫々が、夫々の一表面20に搭載された夫々のDRAMを重複させ、半導体ペレット2Cの一表面20に半導体ペレット2Aの一表面20と対向する裏面21を向い合わせ、半導体ペレット2A、半導体ペレット2Cの夫々の厚さ方向を一致した状態で、順次積層され、(B)前記半導体ペレット2Cの一表面20の中央領域に配置される外部端子24(F)、前記半導体ペレット2Aの一表面20から裏面21に通じる基板貫通孔22内に形成された接続孔配線23を通して一表面20に搭載されたDRAMに接続される裏面21の中央領域に配置された外部端子24(UF)の夫々が、半田電極25を介在して電気的に接続されるとともに、(C)前記半導体ペレット2Cの一表面20と半導体ペレット2Aの裏面21との間であって、前記半導体ペレット2Cの一表面20の周辺領域に、前記半田電極25と同一材料で形成され、電気的な機能を持たず、かつ前記半導体ペレット2A、半導体ペレット2Cの夫々を機械的に保持する(補強する)ダミー半田層25Dを設ける。

36

【0120】この構成(7)によれば、前記構成(1)の効果(1)の効果(A)乃至効果(C)の他に、以下の作用効果が得られる。前記半導体ペレット2Aと半導体ペレット2Cとの間に機械的な安定性を確保でき、半導体ペレット2Cの一表面20の中央領域に配置される外部端子24(F)、半導体ペレット2Aの裏面21の中央領域に配置される外部端子24(UF)の夫々の電気的な接続部分にその電気的な接続部分を中心とするモーメント等の外力の発生を低減できるので、前記電気的な接続部分(特に、半田電極25)の損傷や破壊を防止し、樹脂封止型半導体装置1の電気的信頼性や機械的信頼性を向上できる。

【0121】(実施例2)本実施例2は、SOP構造を採用する樹脂封止型半導体装置において、複数個積層された半導体ペレットのうち、最下層に位置する半導体ペレット側から複数個の夫々の半導体ペレットに信号及び電源を供給する、本発明の第2実施例である。

【0122】本発明の実施例2であるSOP構造を採用する樹脂封止型半導体装置の基本構造を図8(要部断面図)に示す。

【0123】本実施例2のSOP構造を採用する樹脂封止型半導体装置1は、図8に示すように、前記実施例1と同様に、同一のDRAMが搭載された4個の半導体ペレット2A乃至2Dの夫々の一表面20に搭載された夫々のDRAMは、最下層に位置する半導体ペレット2Aの裏面21に引き回された内部リード3A、3Dの夫々から信号が伝達され、電源が供給される。つまり、本実施例2の樹脂封止型半導体装置1はCOL構造が採用される。

【0124】このように、本実施例2のSOP構造を採用する樹脂封止型半導体装置1によれば、前記実施例1の効果とほぼ同様の効果を得ることができる。

【0125】(実施例3)本実施例3は、SOP構造を採用する樹脂封止型半導体装置において、信号系内部リード、電源系内部リードの夫々を別々の層で構成するとともに、ワイヤを廃止し、半導体ペレットの外部端子とリードとの間が電極を介在して接続される、本発明の第3実施例である。

【0126】本発明の実施例3であるSOP構造を採用する樹脂封止型半導体装置の基本構造を図9(要部断面図)、図10(封止体の一部を取り除いた平面図)の夫々に示す。

【0127】本実施例3のSOP構造を採用する樹脂封止型半導体装置1は、図9、図10の夫々に示すように、基本的に前記実施例1と同様に4個の半導体ペレット2A乃至2Dが積層される。

【0128】この複数個の半導体ペレット2A乃至2Dの夫々の一表面20に搭載された夫々のDRAMには、中間に位置する半導体ペレット2A、2Bの夫々の間に配置された信号系内部リード3Aを通して信号が伝達さ

37

れる。また、複数の半導体ペレット2A乃至2Dの夫々の一表面20に搭載された夫々のDRAMには、最下層に位置する半導体ペレット2Cの裏面21に引き回された電源系内部リード3D、最上層に位置する半導体ペレット2Dの一表面20に引き回された電源系内部リード3Eの夫々を通して電源が供給される。つまり、信号系内部リード3A、電源系内部リード3D、3Eの夫々は樹脂封止体6の内部において別々の層（本実施例3の場合、3枚のリードフレームが使用される）で構成される。

【0129】同図9及び図10に示すように、半導体ペレット2Aの一表面20に配置される信号系外部端子24S(F)、半導体ペレット2Bの裏面21に配置される信号系外部端子24S(UF)の夫々と信号系内部リード3Aとは半田電極25を通して電気的かつ機械的に接続される。また、半田電極25に変えてAu電極を使用してもよい。半導体ペレット2Cの一表面20に配置される信号系外部端子24Sは半導体ペレット2Aの裏面21の信号系外部端子24S及び半田電極25を通して電気的に接続される。また、半導体ペレット2Dの裏面21に配置される信号系外部端子24Sは半導体ペレット2Bの一表面20の信号系外部端子24S及び半田電極25を通して電気的に接続される。

【0130】半導体ペレット2Cの裏面21に配置された電源系外部端子24V(UF)、電源系内部リード3Dの夫々は半田電極25を通して電気的に接続され、半導体ペレット2C、2Aの夫々の一表面20の電源系外部端子24V(F)に電源が供給される。同様に、半導体ペレット2Dの一表面20に配置された電源系外部端子24V(F)、電源系内部リード3Eの夫々は半田電極25を通して電気的に接続され、半導体ペレット2D、2Bの夫々の一表面20の電源系外部端子24V(F)に電源が供給される。

【0131】このように、本実施例3のSOP構造を採用する樹脂封止型半導体装置1によれば、前記実施例1の効果とほぼ同様の効果を得ることができる。

【0132】また、前記樹脂封止型半導体装置1において、半導体ペレット2の外部端子24、リード(3A、3D又は3E)の夫々が半田電極25を介在して電気的かつ機械的に接続されるので、ワイヤ5を廃止し、ワイヤ5間の短絡の防止、ワイヤ5の軌跡に基づく樹脂封止体6の大型化(特に、厚さ方向)の防止等が図れる。

【0133】(実施例4) 本実施例4は、ZIP(Zig-zag In-line Package)構造を採用する樹脂封止型半導体装置において、小型化、回路動作速度の高速化等を図った、本発明の第4実施例である。

【0134】本発明の実施例4であるZIP構造を採用する樹脂封止型半導体装置の基本構造を図11(封止体の一部を取り除いた平面図)、図12(要部断面図)の夫々に示す。

38

【0135】本実施例4のZIP構造を採用する樹脂封止型半導体装置1は、図11及び図12に示すように、1個の半導体ペレット2が樹脂封止体6で封止される。半導体ペレット2の一表面20には前記実施例1と同様にDRAMが搭載され、この一表面20には複数の外部端子24(F)が配置される。

【0136】この半導体ペレット2の一表面20に配置された複数の外部端子24(F)のうち、信号系外部端子(図示しない)24S(F)の夫々は、半導体ペレット2の一表面20上に引き回された複数の信号系内部リード3Aの一部(3F)の夫々に電気的に接続され、電源系外部端子24V(F)の夫々は電源系内部リード3Dに電気的に接続される。

【0137】半導体ペレット2の一表面20に配置された複数の外部端子24(F)のうち、少なくとも残部の複数の信号系外部端子24Sは、半導体ペレット2の基板貫通孔22内に形成された接続孔配線23を通して裏面21に配置された複数の信号系外部端子24S(UF)に電気的に接続される。この複数の信号系外部端子24S(UF)は、半導体ペレット2の裏面21に引き回された複数本の信号系内部リード3A(3UF)に電気的に接続される。

【0138】前述の半導体ペレット2の一表面20側に引き回される信号系内部リード3A(F)、電源系内部リード3D(F)、裏面21側に引き回される信号系内部リード3A(UF)の夫々は、樹脂封止体6の1つのリード配列から外部リード3Bとして引き出されかつ配列される。

【0139】このように、本実施例4のZIP構造を採用する樹脂封止型半導体装置1によれば、以下の効果が得られる。

【0140】(8) 半導体ペレット2の一表面20に配置された複数の外部端子(BP)233の夫々に複数本のリード3の一端の夫々が電気的に接続され、前記半導体ペレット2及び複数本のリード3の一端側の夫々が樹脂封止体6で封止されるとともに、前記複数本のリード3の夫々の他端が前記樹脂封止体6の1つのリード配列面から突出しかつこのリード配列面に配列されるZIP構造を採用する樹脂封止型半導体装置1において、以下の構成(A)及び構成(B)を備える。(A) 前記複数本のリード3のうち、一部の複数本のリード3(3F)の一端(内部リード)の夫々が、前記半導体ペレット2の一表面20側に配置されるとともに、この半導体ペレット2の一表面20に配列された複数の外部端子24(F)のうち一部の複数の外部端子24の夫々を個々に通して半導体ペレット2の一表面20に搭載されるDRAMに電気的に接続され、(B) 前記複数本のリード3のうち、残部の複数本のリード3(3UF)の一端が、前記半導体ペレット2の一表面20と対向する裏面21側に配置されるとともに、複数の外部端子24

39

のうち残部の複数個の外部端子24(F)の夫々及び前記半導体ペレット2の一表面2.0から裏面2.1に通じる基板貫通孔2.2内に形成された接続孔配線2.3を通して、前記半導体ペレット2の一表面2.0に搭載されたDRAMに電氣的に接続される。

【0141】この構成(8)によれば、以下の効果が得られる。(A)前記樹脂封止体6の内部において、複数本のリード(内部リード)3のうち、一部の複数本のリード3(3F)の夫々の配置位置に対して残部の複数本のリード3(3UF)の夫々の配置位置を異なる平面とし、前者に対して後者を重複した状態で引き回わせるので、前者又は後者のいずれかの本数のリード3の引き回しが減少でき、このリード3の引き回しを減少した分、樹脂封止体6のサイズが縮小され、ZIP構造を採用する樹脂封止型半導体装置1の小型化が図れる。この樹脂封止型半導体装置1の小型化は、配線基板に実装する際に実装密度を向上できる。(B)前記効果(A)に基づき、前記リード3の引き回し長さを全体的に短くでき、信号系リードの場合、信号伝達速度を速くできるので、半導体ペレット2に搭載されるDRAMの回路動作速度を速くし、樹脂封止型半導体装置1の動作速度の高速化が図れる。電源系リード3の場合、電源の揺れが発生する確率を低減でき、若しくは電源の揺れを迅速に吸収できるので、半導体ペレット2に搭載されるDRAMの回路動作上の信頼性を向上し、樹脂封止型半導体装置1の動作信頼性を向上できる。また、電源系リード3の場合、連続した回路動作間の待機時間を短縮し、半導体ペレット2に搭載されるDRAMの回路動作速度の高速化が図れるので、樹脂封止型半導体装置1の動作速度の高速化が図れる。

【0142】なお、本発明は、ZIP構造を採用する樹脂封止型半導体装置1に限定されず、SIP(Single In-line Package)構造を採用する樹脂封止型半導体装置には広く適用できる。

【0143】(実施例5)本実施例5は、TAB(Tape Automated Bonding)構造を採用する樹脂封止型半導体装置に本発明を適用した、本発明の第5実施例である。

【0144】本発明の実施例5であるTAB構造を採用する樹脂封止型半導体装置の基本構造を図13(要部断面図)に示す。

【0145】本実施例5のTAB構造を採用する樹脂封止型半導体装置1は、図13に示すように、フレキシブル性を有する絶縁性樹脂基板7の一表面上に複数個の半導体ペレット2A乃至2Dが積層され、この複数個の半導体ペレット2A乃至2Dが樹脂封止体6で封止される。前記半導体ペレット2A乃至2Dの夫々は、前述の実施例1と同様に、積層されかつ夫々の一表面2.0に搭載されたDRAMの夫々は相互に接続される。半導体ペレット2A乃至2Dのうち、最下層に位置する半導体ペ

40

レット2Aの一表面2.0に搭載されたDRAMは絶縁性樹脂基板7の一表面に構成されたリード配線7Aに電氣的かつ機械的に接続される。

【0146】前記絶縁性基板7は例えばポリイミド樹脂基板、エポキシ系樹脂基板等の樹脂材で構成される。リード配線7Aは例えばCu膜又はそれを主体とする積層膜で構成される。樹脂封止体6は例えばポリイミド系樹脂、エポキシ系樹脂等の樹脂で形成される。

【0147】このように、本実施例5のTAB構造を採用する樹脂封止型半導体装置1によれば、前述の実施例1と同様の効果が得られる。

【0148】なお、本発明は、TAB構造を採用する樹脂封止型半導体装置1に限定されず、単結晶珪素基板、セラミック配線基板等の配線基板の表面の一領域又は複数領域に夫々複数個の半導体ペレット2を積層した半導体装置に適用できる。

【0149】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0150】例えば、本発明は、2個の半導体ペレット、6個の半導体ペレット、8個の半導体ペレット等、前述の実施例以外の複数個の半導体ペレットを積層し、かつ封止する樹脂封止型半導体装置に適用できる。

【0151】また、本発明は、S(Static)RAM、ROM(Read Only Memory)等の他の記憶回路システム若しくは論理回路システムを半導体ペレットに搭載した樹脂封止型半導体装置に適用できる。

【0152】また、本発明は、樹脂封止型半導体装置に限定されず、セラミック封止型(ガラス封止型)半導体装置に適用できる。

【0153】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0154】(1)複数個の半導体ペレットをその厚さ方向に積層する半導体装置において、製品価格が低減でき、小型化が図れるとともに、動作性能が向上できる。

(2)前記効果(1)が得られ、前記半導体装置をシステムに組込む際の実装密度が向上できる。

(3)前記効果(1)の半導体装置において、回路動作速度の高速化が図れる。

(4)前記効果(1)の半導体装置において、回路動作上の信頼性が向上できる。

(5)複数個の半導体ペレットをその厚さ方向に積層する半導体装置において、複数個積層された半導体ペレットの機械的な安定性の向上が図れ、併せて積層された半導体ペレットの相互間の電氣的な接続の信頼性の向上が図れる。



42

\*る樹脂封止型半導体装置の要部断面図。

【図 10】 前記樹脂封止型半導体装置の平面図。

【図 11】 本発明の実施例 4 である Z I P 構造を採用する樹脂封止型半導体装置の要部平面図。

【図 1 2】 前記樹脂封止型半導体装置の要部断面図。

【図 13】 本発明の実施例 5 である TAB 構造を採用する樹脂封止型半導体装置の要部断面図。

【符号の説明】

1…樹脂封止型半導体装置、2、2A～2D…半導体ペ  
レット、201…メモリセルアレイ、202～221…  
周辺回路、230…半導体基板（半導体ウエーハ）、2  
32、233…導電層、234…層間絶縁膜、235…  
下地金属膜、234H、237H…開口、237…表面  
被覆膜、22…基板貫通孔（接続孔）、23…接続孔配  
線、BP、F、UF、24…外部端子、236…凹部、  
3、3A～3E…リード、5…ワイヤ、6…樹脂封止  
体、25…半田電極、24D…ダミー外部端子、25D  
…ダミー半田層、20…表面、21…裏面、A、D、  
CE、REB、WB…信号、Vcc、Vss…電源。

10

CE, REB, WB…信号、Vcc, Vss…電源。

【图 1-1】

【图 1 1】

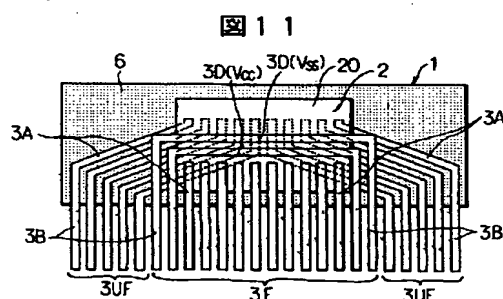
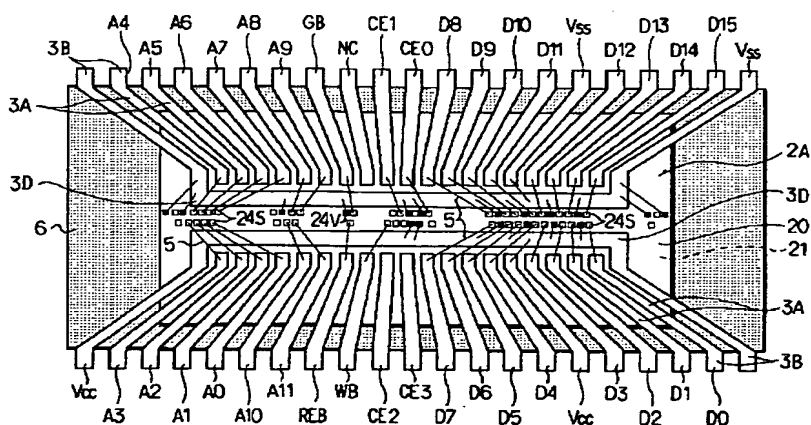


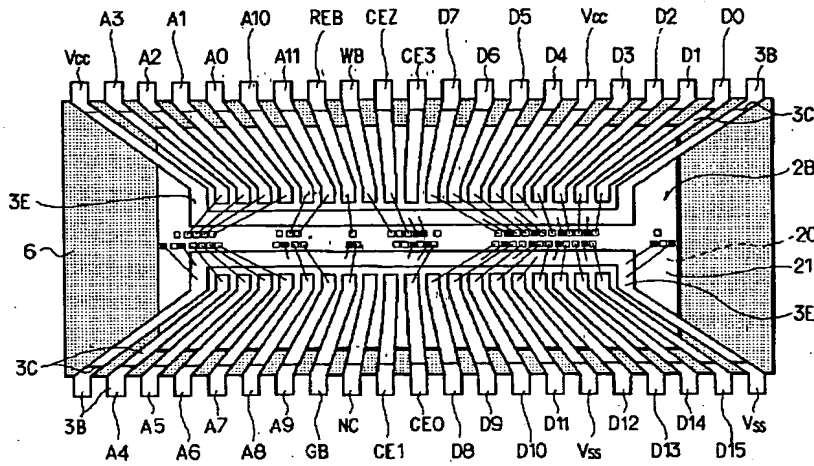
圖 2(A)





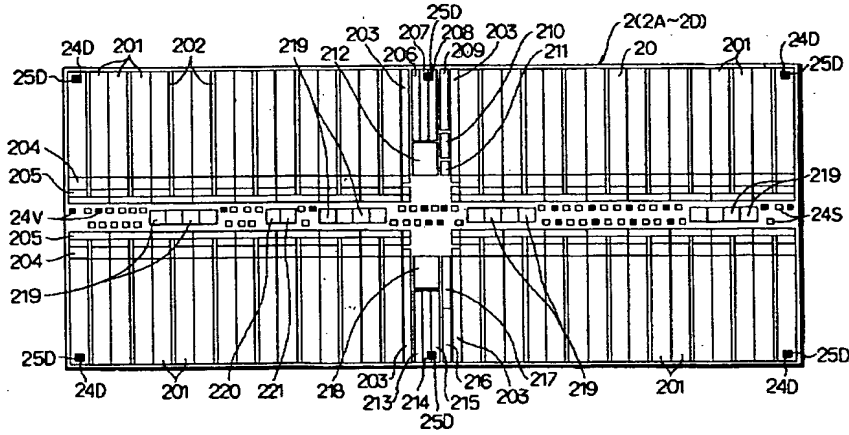
【図2(B)】

図2(B)



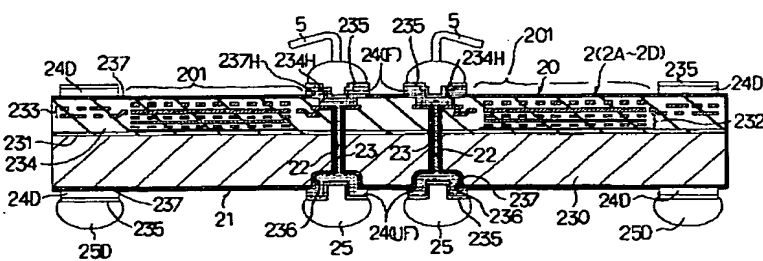
【図3】

図3



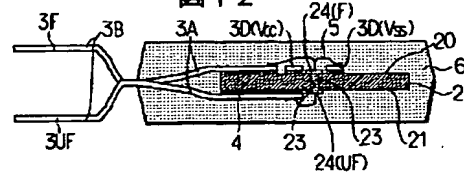
【図5】

図5



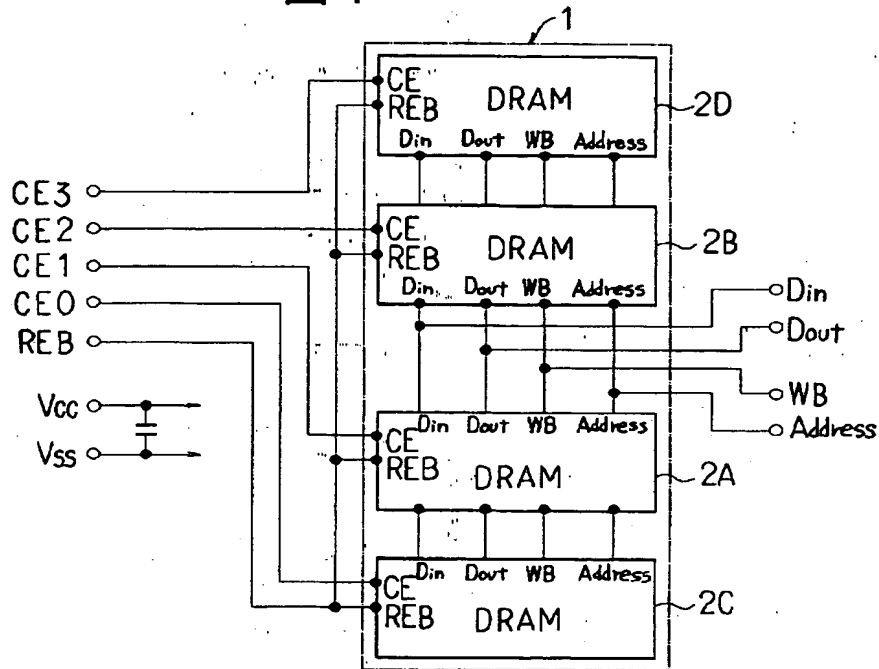
【図12】

図12



【図 4】

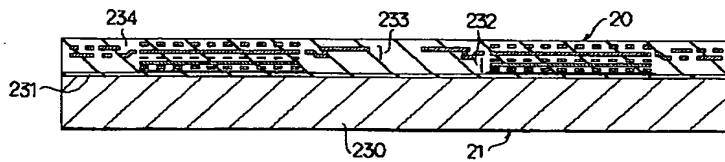
図 4



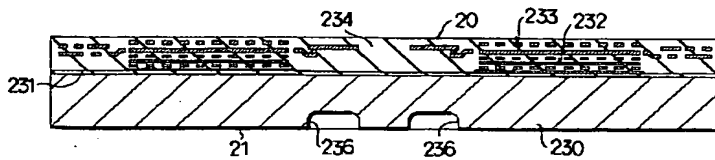
【図 6 (A) (B)】

図 6

(A)



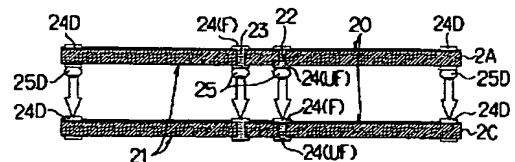
(B)



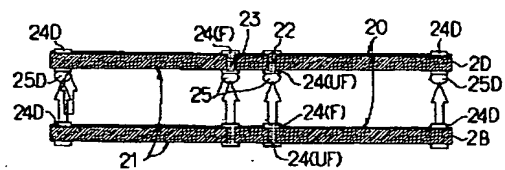
【図 7 (A) (B)】

図 7

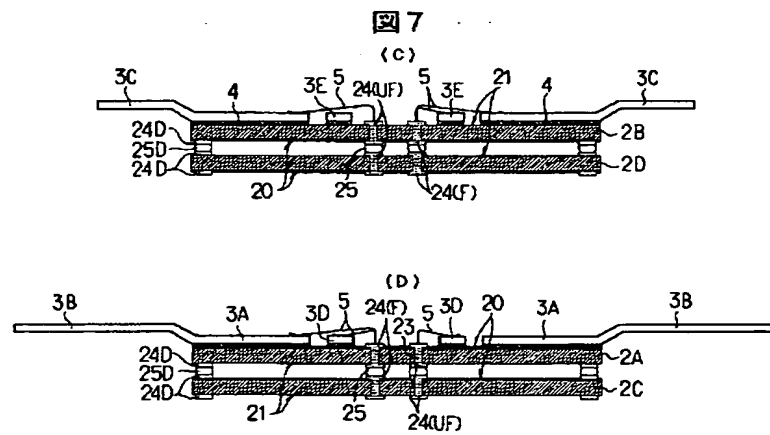
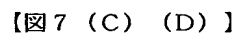
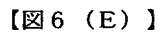
(A)



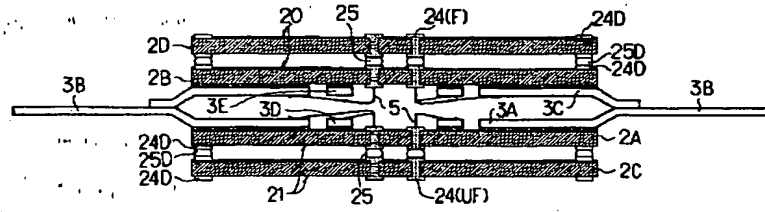
(B)



**图 6**

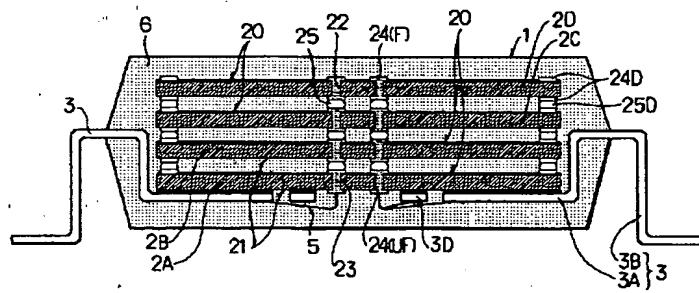


【図 7 (E)】

図 7  
(E)

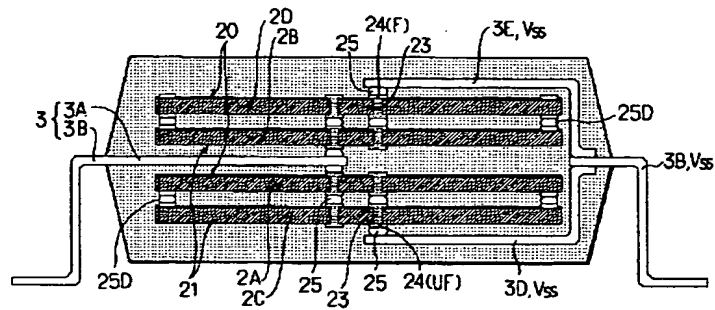
【図 8】

図 8



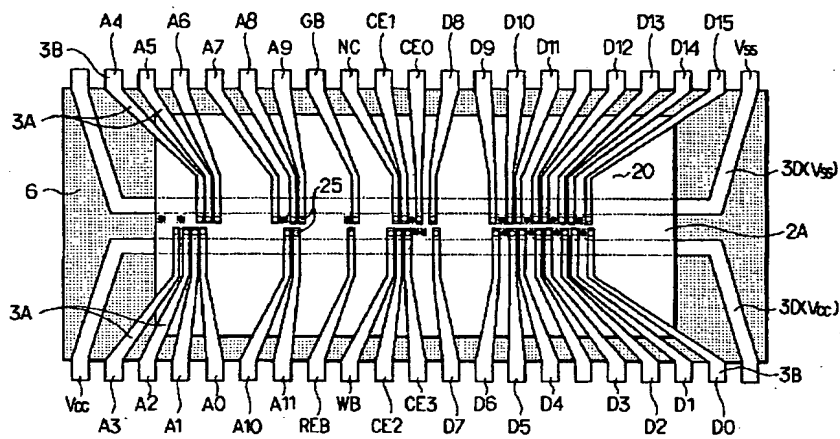
【図 9】

図 9



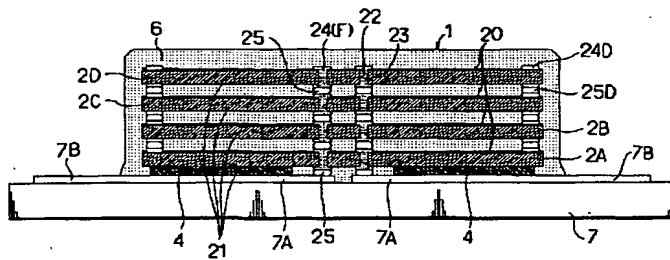
【図10】

図10



【図13】

図13



フロントページの続き

(72) 発明者 笠間 靖裕  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所武蔵工場内